(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平7－152499

(43)公開日　平成７年(1995)６月16日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０６Ｆ　3/06	５４０			
	３０５　Ｃ			

審査請求　未請求　請求項の数44　ＦＤ　（全 31 頁）

(21)出願番号　特願平6－209197

(22)出願日　平成６年(1994)８月10日

(31)優先権主張番号　特願平5－273200

(32)優先日　平５(1993)10月５日

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地

(72)発明者　角田　仁
東京都国分寺市東恋ケ窪１丁目280番地
株式会社日立製作所中央研究所内

(74)代理人　弁理士　笹岡　茂　（外１名）

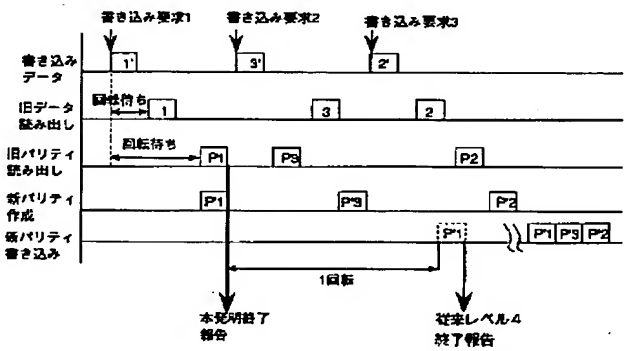
(54)【発明の名称】ディスクアレイ装置におけるパリティ格納方法、障害回復方法およびディスクアレイ装置

(57)【要約】

【目的】　ＲＡＩＤ（レベル４、５）のディスクアレイシステムにおいて、データの書込みによるパリティの更新時のオーバヘッドを減少させる。

【構成】　書き込み要求１、３、２が上位装置から送られ、書き込みデータ１’、３’、２’が送られると、旧データ１、３、２および旧パリティＰ１、Ｐ２、Ｐ３を夫々回転待ちの後読み出し、書き込みデータと旧データと旧パリティにより新パリティをＰ’１、Ｐ’２、Ｐ’３を作成し、キャッシュメモリに貯蔵しておき、新パリティが予めユーザが設定した値以上になった場合か、読み出し書き込み要求の発行されていないタイミングが生じた場合にパリティ格納用のドライブにまとめて書き込む。上位装置への書き込み処理終了報告は、新パリティをキャッシュメモリに格納した時点で行なわれる。パリティ格納用のドライブに替えてパリティ格納用のフラッシュメモリを用いることもできる。

図5



1

【特許請求の範囲】

【請求項１】　上位装置に接続され、キャッシュメモリと少なくとも１台の制御装置を備えるディスクアレイコントローラと、該ディスクアレイコントローラに接続され複数台のディスク装置からなる少なくとも１つの論理グループを備えるディスクアレイユニットとを備え、

前記ディスクアレイコントローラの制御装置が、前記上位装置から１回に読み出しまたは書込みする単位で転送されてきたデータを分割せずに前記複数台のディスク装置の内の複数台のデータ用のディスク装置のいずれかに格納し、前記複数台のデータ用のディスク装置に格納されている各データによりパリティを生成し、この生成したパリティを、前記複数台のディスク装置の内のパリティ用のディスク装置に格納するディスクアレイ装置におけるパリティ格納方法であって、

このディスクアレイ装置に対し上位装置から発行された書き込み要求に対し、前記制御装置はパリティを更新した後、この更新したパリティを前記キャッシュメモリに格納し、同様に上位装置から発行されてきた別の書き込み要求に対し更新したパリティも該キャッシュメモリに格納し、これらの更新されたパリティを該キャッシュメモリ内に貯蔵し、このキャッシュメモリ内の更新されたパリティ群を書き込み要求の発行順に前記パリティ用のディスク装置の更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項２】　請求項１記載のディスクアレイ装置におけるパリティ格納方法において、

前記ディスクアレイコントローラに更新されたパリティを格納する専用メモリを設け、更新されたパリティを前記キャッシュメモリに替えて前記専用メモリに格納するようにしたことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項３】　請求項２記載のディスクアレイ装置におけるパリティ格納方法において、

前記専用メモリを揮発メモリとしたことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項４】　請求項１記載のディスクアレイ装置におけるパリティ格納方法において、

前記キャッシュメモリにアドレス変換用テーブルを設け、

該テーブルには、パリティグループの各データの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスと、パリティの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスとパリティをキャッシュメモリ内に貯蔵した場合のキャッシュアドレスとキャッシュメモリ内に貯蔵されたパリティとディスク装置内に格納されているパリティの何れが有効かを示すフラグを備えることを特徴とするディスクアレイ装置におけるパリティ格納方法。

2

【請求項５】　請求項４記載のディスクアレイ装置におけるパリティ格納方法において、

更新されたパリティ群をシーケンシャルにまとめてディスク装置に書き込む途中において、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれているディスク装置のアドレスにおいては、一旦書き込みを中断し、書き込み要求が発行され、すでに更新されているディスク装置の無効なパリティのアドレスにおいて、シーケンシャル書き込みを再開することを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項６】　請求項４記載のディスクアレイ装置におけるパリティ格納方法において、

更新されたパリティ群をシーケンシャルにまとめてディスク装置に書き込む際、ディスク装置の書き込み先の領域に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれている場合、この有効なパリティをキャッシュメモリに読み出し、更新されたパリティと合わせてパリティ群を構成すると共にパリティの書き込み順を決定し、該パリティ群を該書き込み順にディスク装置の書き込み前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項７】　請求項１記載のディスクアレイ装置におけるパリティ格納方法において、

前記パリティ用のディスク装置を複数台設け、更新されたパリティ群をまとめてディスク装置に書き込む際、複数のパリティ用のディスク装置に、更新されたパリティ単位に、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項８】　請求項１記載のディスクアレイ装置におけるパリティ格納方法において、

前記パリティ用のディスク装置を複数台設け、更新されたパリティ群をまとめてディスク装置に書き込む際、複数のパリティ用のディスク装置に、バイト単位に、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項９】　請求項１記載のディスクアレイ装置におけるパリティ格納方法において、

更新されたパリティ群をシーケンシャルにまとめて書き込む前記パリティ用のディスクを複数の領域に分割し、更新される前のパリティが所属する領域ごとに、更新されたパリティ群を作成し、該作成されたパリティ群を該パリティ群が所属する領域に、かつ書き込み要求の発行順に更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項１０】　上位装置に接続され、キャッシュメモリと少なくとも１台の制御装置を備えるディスクアレイコントローラと、該ディスクアレイコントローラに接続され複数台のディスク装置からなる少なくとも１つの論理グループを備えるディスクアレイユニットとを備え、前記ディスクアレイコントローラの制御装置が、前記上位装置から１回に読み出しまたは書込みする単位で転送されてきたデータを分割せずに前記複数台のディスク装置のいずれかに格納し、前記複数台のデータ用のディスク装置に格納されている各データによりパリティを生成し、この生成したパリティを、前記複数台のディスク装置のいずれかに格納するディスクアレイ装置におけるパリティ格納方法であって、

前記複数台のディスク装置の夫々にパリティ格納領域を設け、該パリティ格納領域が割り当てられるディスク装置内の領域を各ディスク装置において夫々異なるディスク装置内の領域とし、

このディスクアレイ装置に対し上位装置から発行された書き込み要求に対し、前記制御装置はパリティを更新した後、この更新したパリティを前記キャッシュメモリに格納し、同様に上位装置から発行されてきた別の書き込み要求に対し更新したパリティも該キャッシュメモリに格納し、これらの更新されたパリティを該キャッシュメモリ内に貯蔵し、このキャッシュメモリ内の更新されたパリティ群を更新される前のパリティが所属するディスク装置のパリティ格納領域毎に作成し、対応するディスク装置のパリティ格納領域に、該パリティ群を書き込み要求の発行順に更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項１１】　請求項１乃至請求項３のいずれかの請求項記載のディスクアレイ装置におけるパリティ格納方法において、

前記パリティ用のディスク装置をフラッシュメモリとし、該パリティ用のフラッシュメモリ上の前記更新前のパリティ群を消去した後、前記キャッシュメモリ内の更新されたパリティ群を書き込み要求の発行順に前記パリティ用のフラッシュメモリの消去された更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項１２】　請求項１１記載のディスクアレイ装置におけるパリティ格納方法において、

前記キャッシュメモリにアドレス変換用テーブルを設け、

該テーブルには、パリティグループの各データの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスと、パリティの論理アドレスと該論理アドレスに対応するフラッシュメモリチィップ番号およびフラッシュメモリチィップ内アドレスとパリティをキャッシュメモリ内に貯蔵した場合のキャッシュアドレスとキャッシュメモリ内に貯蔵されたパリティとディスク装置内に格納されているパリティの何れが有効かを示すフラグを備えることを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項１３】　請求項１２記載のディスクアレイ装置におけるパリティ格納方法において、

更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む時の、実際にパリティをフラッシュメモリに書き込む前に、フラッシュメモリ内のパリティを書き込むアドレスの消去を行う際に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれているフラッシュメモリのアドレスにおいては消去を行わずに、書き込み要求が発行され、すでに更新されているフラッシュメモリの無効なパリティのアドレスに対してのみ、消去を行うことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項１４】　請求項１３記載のディスクアレイ装置におけるパリティ格納方法において、

更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む際に、書き込み要求が発行され、すでに消去されているフラッシュメモリの無効なパリティのアドレスに対してのみ、書き込みを行うことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項１５】　請求項１２記載のディスクアレイ装置におけるパリティ格納方法において、

更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む際、フラッシュメモリの更新されたパリティ群の書き込み先の領域に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれている場合、この有効なパリティをキャッシュメモリに読み出し、更新されたパリティと合わせてパリティ群を構成すると共にパリティの書き込み順を決定し、該パリティ群に対応するフラッシュメモリ上の書き込み前のパリティ群を消去した後、前記キャッシュメモリ内のパリティ群を前記書き込み順にフラッシュメモリの書き込み前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項１６】　請求項１２または請求項１５記載のディスクアレイ装置におけるパリティ格納方法において、

更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む際、フラッシュメモリ内の低いアドレスから高いアドレスに向かって順次書き込んでいき、最も高いアドレスまでパリティを書き込んだら、最も低いアドレスに戻り、又、順次パリティを書き込んでいく、リングバッファのようにフラッシュメモリにパリティをシーケンシャルに書き込んでいくことを特徴とするディスクアレイ装置におけるパリティ格納方法。

【請求項１７】　請求項１６記載のディスクアレイ装置におけるパリティ格納方法において、
フラッシュメモリ内の最も低いアドレスにパリティを書き込んだ回数のカウントをすることを特徴とするディスクアレイ装置におけるパリティ格納方法。
【請求項１８】　請求項１７記載のディスクアレイ装置におけるパリティ格納方法において、
前記カウントした回数に基づきフラッシュメモリの寿命を判定し、寿命がきたことを出力することを特徴とするディスクアレイ装置におけるパリティ格納方法。
【請求項１９】　請求項１１記載のディスクアレイ装置におけるパリティ格納方法において、
前記パリティ用のフラッシュメモリを複数のフラッシュメモリチィップで構成し、更新されたパリティ群をまとめてフラッシュメモリに書き込む際、複数のフラッシュメモリチィップに、更新されたパリティ単位に、更新前のパリティを消去した後、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。
【請求項２０】　請求項１１記載のディスクアレイ装置におけるパリティ格納方法において、
前記パリティ用のフラッシュメモリを複数のフラッシュメモリチィップで構成し、更新されたパリティ群をまとめてフラッシュメモリに書き込む際、複数のフラッシュメモリチップに、バイト単位に、更新前のパリティを消去した後、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込むことを特徴とするディスクアレイ装置におけるパリティ格納方法。
【請求項２１】　上位装置に接続され、キャッシュメモリと少なくとも１台の制御装置を備えるディスクアレイコントローラと、該ディスクアレイコントローラに接続され複数台のディスク装置と複数個のフラッシュメモリからなる少なくとも１つの論理グループを備えるディスクアレイユニットとを備え、
前記ディスクアレイコントローラの制御装置が、前記上位装置から１回に読み出しまたは書込みする単位で転送されてきたデータを分割せずに前記複数台のディスク装置の内の複数台のデータ用のディスク装置のいずれかに格納し、前記複数台のデータ用のディスク装置に格納されている各データによりパリティを生成し、この生成したパリティを、前記フラッシュメモリに格納するディスクアレイ装置において、
前記制御装置は、このディスクアレイ装置に対し上位装置から発行された書き込み要求に対し、パリティを更新した後、この更新したパリティを前記キャッシュメモリに格納し、同様に上位装置から発行されてきた別の書き込み要求に対し更新したパリティも該キャッシュメモリに格納し、これらの更新されたパリティを該キャッシュメモリ内に貯蔵する手段と、このキャッシュメモリ内の

更新されたパリティ群を、該パリティ群に対応するフラッシュメモリ上の更新前のパリティ群を消去した後、前記キャッシュメモリ内の更新されたパリティ群を書き込み要求の発行順に前記パリティ用のフラッシュメモリの消去された更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込まれたディスクアレイ装置において、データが格納されているドライブに障害が発生した場合は、このドライブに格納されているデータを回復するたびに、パリティが格納されているフラッシュメモリから、当該パリティを読み出すことを特徴とするディスクアレイにおける障害回復方法。
【請求項２２】　上位装置に接続され、キャッシュメモリと少なくとも１台の制御装置を備えるディスクアレイコントローラと、該ディスクアレイコントローラに接続され複数台のディスク装置からなる少なくとも１つの論理グループを備えるディスクアレイユニットとを備え、
前記ディスクアレイコントローラの制御装置が、前記上位装置から１回に読み出しまたは書込みする単位で転送されてきたデータを分割せずに前記複数台のディスク装置の内の複数台のデータ用のディスク装置のいずれかに格納し、前記複数台のデータ用のディスク装置に格納されている各データによりパリティを生成し、この生成したパリティを、前記複数台のディスク装置の内のパリティ用のディスク装置に格納するディスクアレイ装置において、
前記制御装置は、このディスクアレイ装置に対し上位装置から発行された書き込み要求に対し、パリティを更新した後、この更新したパリティを前記キャッシュメモリに格納し、同様に上位装置から発行されてきた別の書き込み要求に対し更新したパリティも該キャッシュメモリに格納し、これらの更新されたパリティを該キャッシュメモリ内に貯蔵する手段と、このキャッシュメモリ内の更新されたパリティ群を書き込み要求の発行順に前記パリティ用のディスク装置の更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込む手段を備えることを特徴とするディスクアレイ装置。
【請求項２３】　請求項２２記載のディスクアレイ装置において、
前記ディスクアレイコントローラに更新されたパリティを格納する専用メモリを設け、更新されたパリティを前記キャッシュメモリに替えて前記専用メモリに格納するようにしたことを特徴とするディスクアレイ装置。
【請求項２４】　請求項２３記載のディスクアレイ装置において、
前記専用メモリを揮発メモリとしたことを特徴とするディスクアレイ装置。
【請求項２５】　請求項２２記載のディスクアレイ装置において、
前記キャッシュメモリにアドレス変換用テーブルを設け、

該テーブルには、パリティグループの各データの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスと、パリティの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスとパリティをキャッシュメモリ内に貯蔵した場合のキャッシュアドレスとキャッシュメモリ内に貯蔵されたパリティとディスク装置内に格納されているパリティの何れが有効かを示すフラグを備えることを特徴とするディスクアレイ装置。

【請求項２６】　請求項２５記載のディスクアレイ装置において、

前記制御装置は、更新されたパリティ群をシーケンシャルにまとめてディスク装置に書き込む途中において、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれているディスク装置のアドレスにおいては、一旦書き込みを中断し、書き込み要求が発行され、すでに更新されているディスク装置の無効なパリティのアドレスにおいて、シーケンシャル書き込みを再開する手段を備えることを特徴とするディスクアレイ装置。

【請求項２７】　請求項２５記載のディスクアレイ装置におけるパリティ格納方法において、

前記制御装置は、更新されたパリティ群をシーケンシャルにまとめてディスク装置に書き込む際、ディスク装置の書き込み先の領域に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれている場合、この有効なパリディをキャッシュメモリに読み出し、更新されたパリティと合わせてパリティ群を構成すると共にパリティの書き込み順を決定する手段と、該パリティ群を該書き込み順にディスク装置の書き込み前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込む手段を備えることを特徴とするディスクアレイ装置。

【請求項２８】　請求項２５記載のディスクアレイ装置において、

前記アドレス変換用テーブルには、不必要になったために削除されたデータであることを示す無効フラグを前記各データ対応に備えることを特徴とするディスクアレイ装置。

【請求項２９】　請求項２８記載のディスクアレイ装置において、

前記制御装置は、ディスク装置に新規にデータを書き込む際、ディスク装置に未使用な領域がない場合に、前記無効フラグが立っているデータの領域にデータを書き込む手段を備えることを特徴とするディスクアレイ装置。

【請求項３０】　請求項２２記載のディスクアレイ装置において、

前記パリティ用のディスク装置を複数台設け、前記制御装置は、更新されたパリティ群をまとめてディスク装置に書き込む際、複数のパリティ用のディスク装置に、更

新されたパリティ単位に、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込む手段を備えることを特徴とするディスクアレイ装置。

【請求項３１】　請求項２２記載のディスクアレイ装置において、

前記パリティ用のディスク装置を複数台設け、前記制御装置は、更新されたパリティ群をまとめてディスク装置に書き込む際、複数のパリティ用のディスク装置に、バイト単位に、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込む手段を備えることを特徴とするディスクアレイ装置。

【請求項３２】　請求項２２記載のディスクアレイ装置において、

更新されたパリティ群をシーケンシャルにまとめて書き込む前記パリティ用のディスクを複数の領域に分割し、前記制御装置は、更新される前のパリティが所属する領域ごとに、更新されたパリティ群を作成する手段と、該作成されたパリティ群を該パリティ群が所属する領域に、かつ書き込み要求の発行順に更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込む手段を備えることを特徴とするディスクアレイ装置。

【請求項３３】　上位装置に接続され、キャッシュメモリと少なくとも１台の制御装置を備えるディスクアレイコントローラと、該ディスクアレイコントローラに接続され複数台のディスク装置からなる少なくとも１つの論理グループを備えるディスクアレイユニットとを備え、前記ディスクアレイコントローラの制御装置が、前記上位装置から１回に読み出しまたは書込みする単位で転送されてきたデータを分割せずに前記複数台のディスク装置のいずれかに格納し、前記複数台のデータ用のディスク装置に格納されている各データによりパリティを生成し、この生成したパリティを、前記複数台のディスク装置のいずれかに格納するディスクアレイ装置において、前記複数台のディスク装置の夫々にパリティ格納領域を設け、該パリティ格納領域が割り当てられるディスク装置内の領域を各ディスク装置において夫々異なるディスク装置内の領域とし、

前記制御装置は、このディスクアレイ装置に対し上位装置から発行された書き込み要求に対し、パリティを更新した後、この更新したパリティを前記キャッシュメモリに格納し、同様に上位装置から発行されてきた別の書き込み要求に対し更新したパリティも該キャッシュメモリに格納し、これらの更新されたパリティを該キャッシュメモリ内に貯蔵し、このキャッシュメモリ内の更新されたパリティ群を更新される前のパリティが所属するディスク装置のパリティ格納領域毎に作成する手段と、該パリティ群を対応するディスク装置のパリティ格納領域に、かつ書き込み要求の発行順に更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込む手段を備えることを特徴とするディスクアレイ装置。

【請求項３４】　請求項２２乃至請求項２４のいずれかの請求項記載のディスクアレイ装置において、
前記パリティ用のディスク装置をフラッシュメモリとし、該パリティ用のフラッシュメモリ上の前記更新前のパリティ群を消去した後、前記キャッシュメモリ内の更新されたパリティ群を書き込み要求の発行順に前記パリティ用のフラッシュメモリの消去された更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込む手段を備えることを特徴とするディスクアレイ装置。
【請求項３５】　請求項３４記載のディスクアレイ装置において、
前記キャッシュメモリにアドレス変換用テーブルを設け、
該テーブルには、パリティグループの各データの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスと、パリティの論理アドレスと該論理アドレスに対応するフラッシュメモリチィップ番号およびフラッシュメモリチィップ内アドレスとパリティをキャッシュメモリ内に貯蔵した場合のキャッシュアドレスとキャッシュメモリ内に貯蔵されたパリティとフラッシュメモリ内に格納されているパリティの何れが有効かを示すフラグを備えることを特徴とするディスクアレイ装置。
【請求項３６】　請求項３５記載のディスクアレイ装置において、
前期制御装置は、更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む時の、実際にパリティをフラッシュメモリに書き込む前に、フラッシュメモリ内のパリティを書き込むアドレスの消去を行う際に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれているフラッシュメモリのアドレスにおいては消去を行わずに、書き込み要求が発行され、すでに更新されているフラッシュメモリの無効なパリティのアドレスに対してのみ、消去を行う手段を備えることを特徴とするディスクアレイ装置。
【請求項３７】　請求項３６記載のディスクアレイ装置において、
更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む際に、書き込み要求が発行され、すでに消去されているフラッシュメモリの無効なパリティのアドレスに対してのみ、書き込みを行う手段を備えることを特徴とするディスクアレイ装置。
【請求項３８】　請求項３５記載のディスクアレイ装置において、
前記制御装置は、更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む際、フラッシュメモリの更新されたパリティ群の書き込み先の領域に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれている場合、この有効なパリティをキャッシュメモリに読み出し、更新されたパリティと合わせてパリティ群を構成すると共にパリティの書き込み順を決定手段と、該パリティ群に対応するフラッシュメモリ上の書き込み前のパリティ群を消去する手段と、前記キャッシュメモリ内のパリティ群を前記書き込み順にフラッシュメモリの書き込み前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込む手段を備えることを特徴とするディスクアレイ装置。
【請求項３９】　請求項３５または請求項３８記載のディスクアレイ装置において、
更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む際、フラッシュメモリ内の低いアドレスから高いアドレスに向かって順次書き込んでいく手段と、最も高いアドレスまでパリティを書き込んだら、最も低いアドレスに戻り、又、順次パリティを書き込んでいく、リングバッファのようにフラッシュメモリにパリティをシーケンシャルに書き込んでいく手段を備えることを特徴とするディスクアレイ装置。
【請求項４０】　請求項３９記載のディスクアレイ装置において、
フラッシュメモリ内の最も低いアドレスにパリティを書き込んだ回数のカウントをする手段を備えることを特徴とするディスクアレイ装置。
【請求項４１】　請求項４０記載のディスクアレイ装置において、
前記カウントした回数に基づきフラッシュメモリの寿命を判定し、寿命がきたことを出力する手段を備えることを特徴とするディスクアレイ装置。
【請求項４２】　請求項３４記載のディスクアレイ装置において、
前記パリティ用のフラッシュメモリチィップを複数台設け、前記制御装置は、更新されたパリティ群をまとめてフラッシュメモリに書き込む際、複数のフラッシュメモリチィップに、更新されたパリティ単位に、更新前のパリティを消去した後、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込む手段を備えることを特徴とするディスクアレイ装置。
【請求項４３】　請求項３４記載のディスクアレイ装置において、
前記パリティ用のフラッシュメモリチィップを複数台設け、前記制御装置は、更新されたパリティ群をまとめてフラッシュメモリに書き込む際、複数のフラッシュメモリチップに、バイト単位に、更新前のパリティを消去した後、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込む手段を備えることを特徴とするディスクアレイ装置。
【請求項４４】　上位装置に接続され、キャッシュメモリと少なくとも１台の制御装置を備えるディスクアレイコントローラと、該ディスクアレイコントローラに接続され複数台のディスク装置と複数個のフラッシュメモリからなる少なくとも１つの論理グループを備えるディス

クアレイユニットとを備え、
前記ディスクアレイコントローラの制御装置が、前記上位装置から１回に読み出しまたは書込みする単位で転送されてきたデータを分割せずに前記複数台のディスク装置の内の複数台のデータ用のディスク装置のいずれかに格納し、前記複数台のデータ用のディスク装置に格納されている各データによりパリティを生成し、この生成したパリティを、前記フラッシュメモリに格納するディスクアレイ装置において、
前記制御装置は、このディスクアレイ装置に対し上位装置から発行された書き込み要求に対し、パリティを更新した後、この更新したパリティを前記キャッシュメモリに格納し、同様に上位装置から発行されてきた別の書き込み要求に対し更新したパリティも該キャッシュメモリに格納し、これらの更新されたパリティを該キャッシュメモリ内に貯蔵する手段と、このキャッシュメモリ内の更新されたパリティ群を、一度にシーケンシャルに前記パリティ用のフラッシュメモリに書き込まれたディスクアレイ装置において、データが格納されているドライブに障害が発生した場合は、このドライブに格納されているデータを回復するたびに、パリティが格納されているフラッシュメモリから、当該パリティを読み出す手段を備えることを特徴とするディスクアレイ装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明はディスクファイルシステムに係り、特に高性能な入出力動作を可能とするディスクアレイ装置と該装置におけるパリティ格納方法および障害回復方法に関する。

【０００２】

【従来の技術】現在のコンピュータシステムにおいては、ＣＰＵ等の上位側が必要とするデータは２次記憶装置に格納され、ＣＰＵが必要とする時に応じ２次記憶装置に対してデータの書込み、読み出しを行っている。この２次記憶装置としては一般に不揮発な記憶媒体が使用され、代表的なものとして磁気ディスク装置（以下ドライブとする）、光ディスクなどがあげられる。近年高度情報化に伴い、コンピュータシステムにおいて、２次記憶装置の高性能化が要求されてきた。その一つの解として、多数の比較的容量の小さなドライブにより構成されるディスクアレイが考えられている。ディスクアレイについて記載された文献として、「D. Patterson, G. Gibson, and R. H. Kartz; A Case for Redundant Arrays of Inexpensive Disks (RAID), in ACM SIGMOD Conference, Chicago, IL, (June1988)」がある。D. Patterson, G. Gibson, and R. H. Kartz; A Case for Redundant Arrays of Inexpensive Disks (RAID)において、データを分割して並列に処理を行うディスクアレイ（レベル３）とデータを分散して、独立に扱うディスクアレイ（レベル４、５）について、その性能および信頼性の検討結果が報告されている。現在この論文に書かれている方式が最も一般的なディスクアレイと考えられている。

【０００３】レベル４、５のディスクアレイでは個々のデータを分割せずに独立に扱い、多数の比較的容量の小さなドライブに分散して格納するものである。以下にデータを分散して、独立に扱うディスクアレイについて説明する。レベル４はレベル５において論理グループを構成するドライブに分散しているパリティを、１台のパリティのみを格納するドライブにまとめたものである。ここで、レベル３、レベル４、レベル５について簡単に説明しておく。レベル３は、ディスクに格納するデータ＃１として、例えば「００１０１０１０１１・・・・」を想定し、データ＃１とパリティを格納するためのディスクとしてディスク＃１～＃５が設けられた場合、ディスク＃１に‘０’、ディスク＃２に‘０’、ディスク＃３に‘１’、ディスク＃４に‘０’を順次格納し、格納された‘００１０’に対するパリティをディスク＃５に格納する。そして、次に同様にして‘１’，‘０’，‘１’，‘０’を順次ディスク＃１～＃４に格納し、そのパリティを＃５に格納してゆく。レベル４は、データとパリティを格納するためのディスクとしてディスク＃１～＃５が設けられた場合、データ＃１，＃５，・・・がディスク＃１に、データ＃２，＃６，・・・がディスク＃２に、データ＃３，＃７，・・・がディスク＃３に、データ＃４，＃８，・・・がディスク＃４に格納される。そして、例えば、データ＃１が「０１・・・」、データ＃２が「００・・・」、データ＃３が「１１・・・」、データ＃４が「００・・・」であるとすると、各データの先頭ビット‘００１０’に対するパリティをパリティ専用として指定されたディスク＃５の先頭ビットととして格納し、以下同様にして、各データの２番目のビット‘１０１０’に対するパリティをディスク＃５の２番目のビットととして格納してゆく。そして、データ＃５～＃８のデータ組に対するパリティデータをディスク＃５に２番目のパリティデータとして格納するようにしてゆく。レベル５は、レベル４のようなパリティ専用のディスクを決めず、データ＃１をディスク＃１、データ＃２をディスク＃２、データ＃３をディスク＃３、データ４１をディスク＃４に格納し、データ＃１～＃４のデータ組に対するパリティデータＰ1234をディスク＃５に格納し、次いで、データ＃５をディスク＃２、データ＃６をディスク＃３、データ＃７をディスク＃４、データ８をディスク＃５に格納し、データ＃５～＃８のデータ組に対するパリティデータＰ5678をディスク＃1に格納し、次いで、データ＃９をディスク＃１、

データ＃１０をディスク＃３、データ＃１１をディスク＃４、データ１２をディスク＃５に格納し、データ＃９～＃１２のデータ組に対するパリティデータP9101112をディスク＃２に格納するようにしてゆく。

【０００４】現在、一般に使用されている汎用大型コンピュータシステムの２次記憶装置では、１ドライブ当りの容量が大きいため、他の読み出し／書込み要求に当該ドライブが使用されて、そのドライブを使用できずに待たされることが多く発生した。上記文献に記載されたタイプのディスクアレイでは汎用大型コンピュータシステムの２次記憶装置で使用されている大容量のドライブを、多数の比較的容量の小さなドライブで構成し、データを分散して格納してあるため、読み出し／書込み要求が増加してもディスクアレイの複数のドライブで分散して処理することが可能となり、読み出し／書込み要求がまたされることが減少する。しかし、ディスクアレイは、このように多数のドライブにより構成されるため、部品点数が増加し障害が発生する確率が高くなる。そこで、信頼性の向上を図る目的で、パリティを用意する必要がある。このパリティによりデータを格納したドライブに障害が発生した場合、その障害ドライブ内のデータを復元することが可能となる。ディスクアレイではデータからパリティを作成しデータと同様にドライブに格納しておく。この時、パリティは、パリティの作成に関与したデータとは別のドライブに格納される。

【０００５】これらのディスクアレイでは、現在一般に使用されている汎用大型コンピュータシステムと同様、２次記憶装置内では、個々のデータの格納場所（アドレス）は予め指定したアドレスに固定され、ＣＰＵから当該データへ読み出しまたは書込みする場合、この固定されたアドレスへアクセスすることになっている。この分散して格納するディスクアレイ（レベル５）ではストレージテクノロジコーポレーション（以下ＳＴＫとする）から製品発表がされている。ＳＴＫ社から出願されている米国特許ＷＯ　９１／２００７６では、レベル５の基本アーキテクチャにおいて、動的に変更可能なアドレスのテーブルを用意することにより、データ圧縮を行いデータの書込み処理において、トラック単位で書込み先のアドレスを動的に変換する方法について開示されている。また、ＩＢＭ社の特開平４－２３０５１２号公報にはレベル５において、書き込み時に書き込むデータと、この書き込みにより更新したパリティを、それぞれ別の場所に書き込む方法について開示されている。さらに、ＩＢＭ社からディスクアレイ（９３３７）では、レベル５においてＷＡＤ（ライト　アシスト　デバイス）を設けることが発表されている。

【０００６】一方、近年磁気ディスクの置き換えデバイスとしてフラッシュメモリが着目されている。フラッシュメモリは不揮発な半導体メモリのため、磁気ディスクと比較して高速にデータの読み出し、書き込みが可能である。しかし、フラッシュメモリでは書き込む際に書き込み先に書き込まれているデータを消去してからでなければ書き込めない。ＨＮ２８Ｆ１６００シリーズのフラッシュメモリのデータシート（ＡＤＪ－２０３－０４５（Ａ）（ｚ））によると、データの書き込みまたは読みだし時間は、ＤＲＡＭ等と同様に約１００ｎｓ程度だが、消去時間が１０ｍｓかかる。また、フラッシュメモリでは書き込み回数に限界があり、一般にフラッシュメモリでは百万回が書き込み回数の限界とされ実用化においては問題とされている。このように、フラッシュメモリにおける、書き込み回数に限界があるという問題点を解決する方法として、書き込み時にマッピングテーブルでフラッシュメモリへの書き込回数が平均化するようにアドレス変換する方法についてＩＢＭ社から特開平５－２７９２４号公報において開示されている。

【０００７】

【発明が解決しようとする課題】現在の汎用大型計算機システム等ではドライブにより構成される２次記憶装置内では、ＣＰＵから転送されてくるデータは個々のデータの格納場所（アドレス）が予め指定したアドレスに固定され、ＣＰＵから当該データへ読み出しまたは書込む場合は、この固定されたアドレスへアクセスすることになる。これは、ディスクアレイにおいても同じである。データを分割して並列に処理を行うディスクアレイ（レベル３）ではこのようにアドレスを固定しても影響は無いが、データを分散して、独立に扱うディスクアレイ（レベル４、５）ではアドレスを固定した場合、書込み時に大きな処理オーバヘッドが必要になる。この書き込み時の処理オーバヘッドについては特願平４－２３０５１２に説明されている。以下それについて説明する。

【０００８】図１０は公知例で示したＤ．Ｐａｔｔｅｒｓｏｎらが提案したＲＡＩＤに述べられている、データを分散して独立に扱うディスクアレイ（レベル５）内部のデータアドレスを示している。この各アドレスにあるデータは１回の読み出し／書込み処理される単位で、個々のデータは独立している。前述したようにこのようなシステムでは、信頼性を向上するためパリティを設定することが不可欠である。本システムでは各ドライブ内の同一アドレスのデータによりパリティが作成される。すなわち、ドライブ＃１から４までのアドレス（１，１）のデータの組によりパリティが作成され、パリティを格納するドライブの（１，１）に格納される。本システムでは読み出し／書込み処理は現在の汎用大型計算機システムと同様に各ドライブに対し当該データをアクセスする。このようなディスクアレイにおいて、例えばドライブ＃３のアドレス（２，２）のデータを更新する場合、まず、更新される前のドライブ＃３の（２，２）のデータと、パリティを格納してあるドライブの（２，２）のパリティを読み出す（１）。読み出したデータと、読み出したパリティと、更新する新しいデータとの排他的論

理和をとり、新たなパリティを作成する（２）。パリティの作成完了後、更新する新しいデータをドライブ＃３の（２，２）に、新パリティをパリティを格納するドライブの（２，２）に格納する（３）。

【０００９】このようなレベル５のディスクアレイでは、データの格納されているドライブ、パリティの格納されているドライブから古いデータとパリティを読みだすため、ディスクを平均１／２回転待ち、それから読み出してパリティを作成する。この新しく作成したパリティを書き込むため更に１回転必要となり、データを書き替える場合最低で１．５回転待たなければならない。特に更新されたパリティを書き込む際に待たされる１回転の回転待ちが、書き込み時の性能低下を引き起こす大きな問題である。このように、ドライブにおいては１．５回転ディスクの回転を待つということは非常に大きなオーバヘッドとなる。この書き込み時のオーバヘッドはレベル４においても同様である。このような書込み時のオーバヘッドを削減するため、書込み先のアドレスを動的に変換する方法が考えられ、ＳＴＫ社から出願されているWO　９１／２００７６に開示されている。また、ＩＢＭ社から出願されている特願平４－２３０５１２号公報においても、書き込み時において書き込みデータを書き込みデータが書き込まれるアドレスではなく別のアドレスに書き込むことにより書き込みオーバヘッドを削減する方法について開示されている。このように、レベル５のディスクアレイでは、読み出しと比較し書き込み時ではパリティ生成とこの生成したパリティを書き込む処理のオーバヘッドが非常に大きいため、ＣＰＵからの読み出し、書き込み要求が多いときには、この処理オーバヘッドが性能低下の大きな原因となる。

【００１０】本発明の目的は、ディスクアレイにおけるパリティを書き込み処理のオーバヘッドを大幅に減少させることにある。本発明の他の目的は、ディスクアレイにおいて、パリティをフラッシュメモリ（ＦＭＥＭ）に格納することで、書き込み処理のオーバヘッドを大幅に減少させることにある。本発明のさらに他の目的としては、パリティを格納するＦＭＥＭの書き込み回数を平均化させることにある。

【００１１】

【課題を解決するための手段】上位装置から１回に読み出しまたは書込みする単位で転送されてきたデータを分割せずに複数台のディスク装置の内の複数台のデータ用のディスク装置のいずれかに格納し、複数台のデータ用のディスク装置に格納されている各データによりパリティを生成し、この生成したパリティを、複数台のディスク装置の内のパリティ用のディスク装置に格納するディスクアレイ装置において、このディスクアレイ装置に対し上位装置から発行された書き込み要求に対し、パリティを更新した後、この更新したパリティを前記キャッシュメモリに格納し、同様に上位装置から発行されてきた別の書き込み要求に対し更新したパリティも該キャッシュメモリに格納し、これらの更新されたパリティを該キャッシュメモリ内に貯蔵し、このキャッシュメモリ内の更新されたパリティ群を書き込み要求の発行順に前記パリティ用のディスク装置の更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むようにしている。また、前記キャッシュメモリにアドレス変換用テーブルを設け、該テーブルには、パリティグループの各データの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスと、パリティの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスとパリティをキャッシュメモリ内に貯蔵した場合のキャッシュアドレスとキャッシュメモリ内に貯蔵されたパリティとディスク装置内に格納されているパリティの何れが有効かを示すフラグを備えるようにしている。また、キャッシュメモリにアドレス変換用テーブルを設けておき、更新されたパリティ群をシーケンシャルにまとめてディスク装置に書き込む途中において、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれているディスク装置のアドレスにおいては、一旦書き込みを中断し、書き込み要求が発行され、すでに更新されているディスク装置の無効なパリティのアドレスにおいて、シーケンシャル書き込みを再開するようにしている。また、キャッシュメモリにアドレス変換用テーブルを設けておき、更新されたパリティ群をシーケンシャルにまとめてディスク装置に書き込む際、ディスク装置の書き込み先の領域に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれている場合、この有効なパリティをキャッシュメモリに読み出し、更新されたパリティと合わせてパリティ群を構成すると共にパリティの書き込み順を決定し、該パリティ群を該書き込み順にディスク装置の書き込み前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むようにしている。また、パリティ用のディスク装置を複数台設け、更新されたパリティ群をまとめてディスク装置に書き込む際、複数のパリティ用のディスク装置に、更新されたパリティ単位に、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込むようにしている。更新されたパリティ群をシーケンシャルにまとめて書き込むパリティ用のディスクを複数の領域に分割し、更新される前のパリティが所属する領域ごとに、更新されたパリティ群を作成し、該作成されたパリティ群を該パリティ群が所属する領域に、かつ書き込み要求の発行順に更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むようにしている。また、パリティ用のディスク装置を設けず、複数台のディスク装置の夫々にパリティ格納領域を設け、該パリティ格納領域が割り当てられるディスク装置内の領域を各ディスク装置において夫々異なるディスク装置内の

領域とし、上位装置から発行された書き込み要求に対し、パリティを更新した後、この更新したパリティをキャッシュメモリに格納し、同様に上位装置から発行されてきた別の書き込み要求に対し更新したパリティも該キャッシュメモリに格納し、これらの更新されたパリティを該キャッシュメモリ内に貯蔵し、このキャッシュメモリ内の更新されたパリティ群を更新される前のパリティが所属するディスク装置のパリティ格納領域毎に作成し、対応するディスク装置のパリティ格納領域に、該パリティ群を書き込み要求の発行順に更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むようにしている。

【００１２】また、上位装置から１回に読み出しまたは書込みする単位で転送されてきたデータを分割せずに複数台のディスク装置の内の複数台のデータ用のディスク装置のいずれかに格納し、複数台のデータ用のディスク装置に格納されている各データによりパリティを生成し、この生成したパリティを、複数台のディスク装置の内のパリティ用のディスク装置に格納するディスクアレイ装置において、該パリティ用のディスク装置をフラッシュメモリとし、該パリティ用のフラッシュメモリ上の前記更新前のパリティ群を消去した後、前記キャッシュメモリ内の更新されたパリティ群を書き込み要求の発行順に前記パリティ用のフラッシュメモリの消去された更新前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むようにしている。また、キャッシュメモリにアドレス変換用テーブルを設け、該テーブルには、パリティグループの各データの論理アドレスと該論理アドレスに対応するディスク装置番号およびディスク装置内アドレスと、パリティの論理アドレスと該論理アドレスに対応するフラッシュメモリチィップ番号およびフラッシュメモリチィップ内アドレスとパリティをキャッシュメモリ内に貯蔵した場合のキャッシュアドレスとキャッシュメモリ内に貯蔵されたパリティとディスク装置内に格納されているパリティの何れが有効かを示すフラグを備えるようにしている。また、更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む時の、実際にパリティをフラッシュメモリに書き込む前に、フラッシュメモリ内のパリティを書き込むアドレスの消去を行う際に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれているフラッシュメモリのアドレスにおいては消去を行わずに、書き込み要求が発行され、すでに更新されているフラッシュメモリの無効なパリティのアドレスに対してのみ、消去を行うようにしている。さらに、更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む際に、書き込み要求が発行され、すでに消去されているフラッシュメモリの無効なパリティのアドレスに対してのみ、書き込みを行うようにしている。また、更新されたパリティ群をシーケンシャルにまとめて

フラッシュメモリに書き込む際、フラッシュメモリの更新されたパリティ群の書き込み先の領域に、書き込み要求が発行されていないため更新されていない有効なパリティが書き込まれている場合、この有効なパリティをキャッシュメモリに読み出し、更新されたパリティと合わせてパリティ群を構成すると共にパリティの書き込み順を決定し、該パリティ群に対応するフラッシュメモリ上の書き込み前のパリティ群を消去した後、前記キャッシュメモリ内のパリティ群を前記書き込み順にフラッシュメモリの書き込み前のパリティ群の一連のアドレスへ一度にシーケンシャルに書き込むようにしている。また、更新されたパリティ群をシーケンシャルにまとめてフラッシュメモリに書き込む際、フラッシュメモリ内の低いアドレスから高いアドレスに向かって順次書き込んでいき、最も高いアドレスまでパリティを書き込んだら、最も低いアドレスに戻り、又、順次パリティを書き込んでいく、リングバッファのようにフラッシュメモリにパリティをシーケンシャルに書き込んでいくようにしている。また、フラッシュメモリ内の最も低いアドレスにパリティを書き込んだ回数のカウントをするようにしている。また、上記カウントした回数に基づきフラッシュメモリの寿命を判定し、寿命がきたことを出力するようにしている。また、パリティ用のフラッシュメモリを複数のフラッシュメモリチィップで構成し、更新されたパリティ群をまとめてフラッシュメモリに書き込む際、複数のフラッシュメモリチィップに、更新されたパリティ単位に、更新前のパリティを消去した後、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込むようにしている。また、パリティ用のフラッシュメモリを複数のフラッシュメモリチィップで構成し、更新されたパリティ群をまとめてフラッシュメモリに書き込む際、複数のフラッシュメモリチップに、バイト単位に、更新前のパリティを消去した後、書き込み要求の発行順に更新前のパリティの一連のアドレスへ一度に並列に書き込むようにしている。また、データが格納されているドライブに障害が発生した場合は、このドライブに格納されているデータを回復するたびに、パリティが格納されているフラッシュメモリから、当該パリティを読み出し、障害回復をするようにしている。

【００１３】

【作用】データの書き込みによるパリティの更新後、更新された新パリティを更新のたびに更新前のパリティが格納されていたドライブのアドレスに書き込むと、その都度回転待ちが必要となる。本発明では、更新パリティをキャッシュメモリに貯蔵しておき、これらの更新パリティをシーケンシャルにまとめ書きすることにより、このまとめ書きを行なう時に０．５回転の回転待ちが必要となるが、まとめ書きを開始以降は回転待ちは無い。つまり、まとめられた更新パリティの集団の中で、一番最初に書き込まれるパリティについては０．５回転の回転

待ちが必要であるが、引き続き書き込まれる２番目以降のパリティについては回転待ちがなくなる。また、更新パリティをキャッシュメモリに貯蔵しておき、これらの更新パリティをシーケンシャルにＦＭＥＭにまとめ書きすることにより、このまとめ書きを行なう時は最初に一括消去の時間（約１０ｍｓ）が必要となるのみである。ＦＭＥＭでは部分消去時間と一括消去時間はほとんど同じである。つまり、まとめられた更新パリティの集団の中で、一番最初に書き込まれるパリティについては、全ての更新パリティに対応する更新前のパリティを一括消去する時間が必要であるが、引き続き書き込まれる２番目以降のパリティについてはＦＭＥＭへの書き込み時間のみとなる。また、ＦＭＥＭに対する新パリティのシーケンシャルなまとめ書きは、アドレスの低い方から高い方へ一方向に行なわれるため、ＦＭＥＭチップでは書き込み回数が平均化される。

【００１４】

【実施例】

（実施例１）以下本発明の一実施例を説明する。図１は、本実施例のハードウェア構成を示し、１はＣＰＵ、２はディスクアレイコントローラ（以下ＡＤＣ）、３はディスクアレイユニット（以下ＡＤＵ）である。ＡＤＵ３は複数の論理グループ１０により構成され，個々の論理グループ１０はｍ台のドライブ１２と、各々のドライブ１２とＡＤＣ２を接続するディスクアレイユニットパス９－１から９－４により構成される。なお、このドライブ１２の数については特に制限は無い。この論理グループ１０は障害回復単位で、この論理グループ１０内の各ドライブ１２内の各データによりパリティを作成する。本実施例ではｍ－１台の個々のドライブ１２内のデータから各々のパリティが作成される。

【００１５】次にＡＤＣ２の内部構造について図１を用いて説明する。ＡＤＣ２はチャネルパスディレクタ５と２個のクラスタ１３とバッテリバックアップ等により不揮発化された半導体メモリであるキャッシュメモリ７により構成される。このキャッシュメモリ７にはデータとアドレス変換用テーブルが格納されている。このキャッシュメモリ７およびその中のアドレス変換用テーブルはＡＤＣ２内の全てのクラスタ１３において共有で使用される。クラスタ１３はＡＤＣ２内において独立に動作可能なパスの集合で、各クラスタ１３間においては電源、回路は全く独立となっている。クラスタ１３はチャネル、キャッシュメモリ７間のパスであるチャネルパス６と、キャッシュメモリ７、ドライブ１２間のパスであるドライブパス６－１から４が、それぞれ、２個ずつで構成されている。それぞれのチャネルパス６－１から４とドライブパス８はキャッシュメモリ７を介して接続されている。ＣＰＵ１より発行されたコマンドは外部インターフェースパス４を通ってＡＤＣ２のチャネルパスディレクタ５に発行される。ＡＤＣ２は２個のクラスタ１３により構成され、それぞれのクラスタは２個のパスで構成されるため、ＡＤＣ２は合計４個のパスにより構成される。このことから、ＡＤＣ２ではＣＰＵ１からのコマンドを同時に４個まで受け付けることが可能である。そこで、ＣＰＵ１からコマンドが発行された場合ＡＤＣ２内のチャネルパスディレクタ５によりコマンドの受付が可能かどうか判断する。

【００１６】図２は図１のチャネルパスディレクタ５と１クラスタ１３－１内の内部構造を示した図である。図２に示すように、ＣＰＵ１からＡＤＣ２に送られてきたコマンドはインターフェースアダプタ（以下ＩＦ　Ａｄｐ）１５により取り込まれ、マイクロプロセッサであるＭＰ２０はクラスタ内の外部インターフェースパス４の中で使用可能なパスがあるかを調べ、使用可能な外部インターフェースパス４がある場合はＭＰ２０はチャネルパススイッチ１６を切り換えてコマンドの受付け処理を行ない、受け付けられない場合は受付不可の応答をＣＰＵ１へ送る。

【００１７】（アドレス変換法）本実施例ではＡＤＵ３を構成するドライブ１２はＳＣＳＩインターフェースのドライブを使用する。以下にアドレス変換について説明する。ＣＰＵ１は論理アドレスとしてデータ名を指定し、ＡＤＣ２のＭＰ２０により実際のドライブ１２内の物理的アドレスであるドライブ１２内のアドレス（ＳＣＳＩ内Ａｄｄｒ）に変換される。ＳＣＳＩ内Ａｄｄｒは図１１に示すように当該データが格納されているトラックが所属するシリンダの位置とそのシリンダ内において当該データが格納されているトラックを決定するヘッドアドレスと、そのトラック内のレコードの位置で構成される。具体的には要求データが格納されている当該ドライブ１２の番号と当該ドライブ１２内のシリンダ番号であるシリンダアドレスとシリンダにおいてトラックを選択するヘッドの番号であるヘッドアドレスとレコードアドレスからなる。このアドレス変換には以下に示すようなアドレス変換用のテーブル（以下アドレステーブルとする）が使用される。ＡＤＣ２内のキャッシュメモリ７には、その内部の適当な領域に図４に示すようなアドレステーブルが格納されている。

【００１８】アドレステーブルは論理アドレス２７に対し、無効データの場合オン（１）となる無効フラグ２８と、データが格納されているドライブ１２のアドレスであるデータドライブ番号２９（ＤＤｒｉｖｅ　Ｎｏ．）と、そのドライブ１２内の実際にデータが格納されている物理アドレスであるＳＣＳＩ内Ａｄｄｒ３０と、そのデータがキャッシュメモリ７内にある場合のキャッシュメモリ７内のアドレスであるキャッシュアドレス３１と、キャッシュメモリ７内にデータがある場合オン（１）とするキャッシュフラグ３２と、パリティグループにおいてパリティの論理アドレスであるＰ論理アドレス３３と、パリティが格納されているドライブ番号であ

るパリティドライブ番号３４（ＰＤｒｉｖｅ　Ｎｏ．）と、そのドライブ１２内の実際にパリティが格納されている物理アドレスであるＰＳＣＳＩ内Ａｄｄｒ３５と、パリティの格納されているキャッシュアドレスであるＰキャッシュアドレス３６と、パリティがキャッシュメモリ７内に存在するか否かを示すＰキャッシュフラグ３７により構成されている。パリティは、論理グループ１０を構成する各ドライブ１２において同一ＳＣＳＩ内Ａｄｄｒ３０のデータにより作成される。パリティグループは、論理グループ１０を構成する各ドライブ１２において同一ＳＣＳＩ内Ａｄｄｒ３０のデータと、これらのデータから作成されたパリティにより構成される。具体的には、図４においてＳＣＳＩ内Ａｄｄｒ３０がＤＡＤＲ１についてはＳＤ＃１のドライブ１２に格納されているＤａｔａ＃１と、ＳＤ＃２のドライブ１２に格納されているＤａｔａ＃２と、ＳＤ＃３のドライブ１２に格納されているＤａｔａ＃３と、ＳＤ＃４のドライブ１２に格納されているＤａｔａ＃４とにより作成されたパリティであるＰａｒｉｔｙ＃１がＳＤ＃５のドライブ１２のＰＳＣＳＩ内ＡＤＤＲがＤＡＤＲ５に格納され、これらのデータとパリティがパリティグループを構成する。

【００１９】以上に説明したアドレステーブルにより、ＣＰＵが指定する論理アドレス２７に基づき、データが実際に格納されているドライブ番号２９とＳＣＳＩ内Ａｄｄｒ３０を決定する。例えば、図４においてＣＰＵ１からＤａｔａ＃２に対し要求を発行してきた場合、アドレステーブルからＳＤ＃２のドライブ１２内のＳＣＳＩ内Ａｄｄｒ３０としてＤＡＤＲ１が該当していることが分かり、物理的なアドレスへ変換される。また、このＤａｔａ＃２に対応するパリティは、Ｐ論理アドレス３３がＰａｒｉｔｙ＃１で、パリティドライブ番号（ＰＤｒｉｖｅ　Ｎｏ）３４がＳＤ＃５のドライブ１２であり、ＰＳＣＳＩ内ＡＤＤＲがＤＡＤＲ５の位置に格納されている。このように、ＣＰＵ１から指定された論理アドレス２７を、実際に読み出し／書き込みを行うドライブ１２の物理的なアドレスに変換した後、ＳＤ＃２のドライブ１２のＤａｔａ＃２に対し読み出しまたは書込み要求が発行される。この時アドレステーブルにおいてＤａｔａ＃２の論理アドレス２７ではキャッシュフラグ３２がオン（１）のため、このデータはキャッシュメモリ７内のＣＡＤＲ５に存在する。もし、キャッシュフラグ３２がオフ（０）であればキャッシュメモリ７内には、当該データは存在しない。この、アドレステーブルはシステムの電源をオンした時に、ＭＰ２０により論理グループ１０内のある特定のドライブ１２から、キャッシュメモリ７にＣＰＵ１の関知無しに自動的に読み込まれる。一方，電源をオフする時はＭＰ２０によりキャッシュメモリ７内のアドレステーブルを、読み込んできたドライブ１２内の所定の場所にＣＰＵ１の関知無しに自動的に格納する。

【００２０】（読み出し処理）次に、ＡＤＣ２内での具体的なＩ／Ｏ処理について図１、図２を用いて説明する。ＣＰＵ１より発行されたコマンドはＩＦ　Ａｄｐ１５を介してＡＤＣ２に取り込まれ、ＭＰ２０により読み出し要求か書込み要求か解読される。まず、読み出し要求の場合の処理方法を以下に示す。ＭＰ２０が読み出し要求のコマンドを認識すると、ＭＰ２０はＣＰＵ１から送られてきた論理アドレスをアドレステーブルを参照し、キャッシュメモリ７内に存在するかどうかキャッシュフラグ３２を調べ、判定する。キャッシュフラグ３２がオンでキャッシュメモリ７内に格納されている場合（キャッシュヒット）は、ＭＰ２０がキャッシュメモリ７から当該データを読み出す制御を開始し、キャッシュメモリ７内に無い場合（キャッシュミス）は当該ドライブ１２へその内部の当該データを読みだす制御を開始する。キャッシュヒット時はＭＰ２０はアドレステーブルによりＣＰＵ１から指定してきた論理アドレス２７に対し、当該データが格納されているキャッシュメモリ７のキャッシュアドレス３１に変換し、キャッシュメモリ７へ当該データを読み出しに行く。具体的にはＭＰ２０の指示の元でキャッシュアダプタ回路（Ｃ　Ａｄｐ）２３によりキャッシュメモリ７から当該データは読み出される。Ｃ　Ａｄｐ２３はキャッシュメモリ７に対するデータの読み出し、書き込みをＭＰ２０の指示で行う回路で、キャッシュメモリ７の状態の監視、各読み出し、書き込み要求に対し排他制御を行う回路である。Ｃ　Ａｄｐ２３により読み出されたデータはデータ制御回路（ＤＣＣ）２２の制御によりチャネルインターフェース回路（ＣＨ　ＩＦ）２１に転送される。ＣＨ　ＩＦ２１ではＣＰＵ１におけるチャネルインターフェースのプロトコルに変換し、チャネルインターフェースに対応する速度に速度調整する。具体的にはＣＰＵ１，ＡＤＣ２間のチャネルインターフェースを光のインターフェースにした場合、光のインターフェースのプロトコルをＡＤＣ２内では電気処理でのプロトコルに変換する。ＣＨ　ＩＦ２１におけるプロトコル変換および速度調整後は、チャネルパスディレクタ５において、チャネルパススイッチ１６が外部インターフェースパス４を選択しＩＦ　Ａｄｐ１５によりＣＰＵ１へデータ転送を行なう。

【００２１】一方、キャッシュミス時はキャッシュヒット時と同様にアドレステーブルにより、ＣＰＵ１が指定した論理アドレス２７から当該ドライブ番号とそのドライブ１２内の実際にデータが格納されているＳＣＳＩ内Ａｄｄｒ３０を認識し、そのアドレスに対し、ＭＰ２０はＤｒｉｖｅ　ＩＦ２４に対し、当該ドライブ１２への読み出し要求を発行するように指示する。Ｄｒｉｖｅ　ＩＦ２４ではＳＣＳＩの読み出し処理手順に従って、読み出しコマンドをドライブユニットパス９－１または９－２を介して発行する。Ｄｒｉｖｅ　ＩＦ２４から読み出しコマンドを発行された当該ドライブ１２においては

指示されたＳＣＳＩ内Ａｄｄｒ３０へシーク、回転待ちのアクセス処理を行なう。当該ドライブ１２におけるアクセス処理が完了した後、当該ドライブ１２は当該データを読み出しドライブユニットパス９を介してＤｒｉｖｅ　ＩＦ２４へ転送する。Ｄｒｉｖｅ　ＩＦ２４では転送されてきた当該データをドライブ１２側のキャッシュアダプタ回路（Ｃ　Ａｄｐ）１４に転送し、（Ｃ　Ａｄｐ）１４ではキャッシュメモリ７にデータを格納する。この時、Ｃ　Ａｄｐ１４はキャッシュメモリ７にデータを格納することをＭＰ２０に報告し、ＭＰ２０はこの報告を元に、アドレステーブル内のＣＰＵが読み出し要求を発行した論理アドレス２７のキャッシュフラグ３２をオン（１）にし、キャッシュアドレス３１にキャッシュメモリ７内のデータを格納したアドレスを登録する。キャッシュメモリ７にデータを格納し、アドレステーブルのキャッシュフラグ３２をオン（１）にし、キャッシュメモリ７内のアドレスを更新した後はキャッシュヒット時と同様な手順でキャッシュメモリ７からデータを読み出し、ＣＰＵ１へ当該データを転送する。

【００２２】（書き込み処理）一方書き込み時は以下のように処理される。書き込み処理にはユーザが書き込み先の論理アドレスを指定し、そのデータを書き換える更新と、新たに空き領域に書き込む新規書き込みがある。ＣＰＵ１から書き込み命令が発行されたとする。まず、ＡＤＣ２のＭＰ２０はＣＰＵ１から書込み要求のコマンドを受け取った後、コマンドを受け取ったＭＰ２０が所属するクラスタ１３内の各チャネルパス６において処理可能かどうかを調べ、可能な場合は処理可能だという応答をＣＰＵ１へ返す。ＣＰＵ１では処理可能だという応答を受け取った後にＡＤＣ２へデータを転送する。この時、ＡＤＣ２ではＭＰ２０の指示によりチャネルパスディレクタ５において、チャネルパススイッチ１６が当該外部インターフェースパス４とＩＦ　Ａｄｐ１５を当該チャネルパス６と接続しＣＰＵ１とＡＤＣ２間の接続を確立する。ＣＰＵ１とＡＤＣ２間の接続を確立後ＣＰＵ１からのデータ転送を受け付ける。ＣＰＵ１から転送されてくるデータには、論理アドレスと書き込みデータ（以下新データとする）があり、これらのデータはＭＰ２０の指示により、ＣＨ　ＩＦ２１によりプロトコル変換を行ない、外部インターフェースパス４での転送速度からＡＤＣ２内での処理速度に速度調整する。ＣＨ　ＩＦ２１におけるプロトコル変換および速度制御の完了後、データはＤＣＣ２２によるデータ転送制御を受け、Ｃ　Ａｄｐ２４に転送され、Ｃ　Ａｄｐ２３によりキャッシュメモリ７内に格納される。この時、ＣＰＵ１から送られてきたデータが、論理アドレスの場合は、読み出しと同様にアドレステーブルによりアドレス変換を行い、物理アドレスに変換する。また、ＣＰＵ１から送られてきたデータが新データの場合は、キャッシュメモリ７に格納したアドレスをアドレステーブル内のキャッシュアドレス３１に登録する。この時、書き込む新データをキャッシュメモリ７内に保持するときは、論理アドレス２７のキャッシュフラグ３２をオン（１）とし、保持しない場合はキャッシュフラグ３２をオフ（０）とする。なお、キャッシュメモリ７内に保持されている新データに対し、さらに書き込み要求がＣＰＵ１から発行された場合は、キャッシュメモリ７内に保持されている新データを書き替える。

【００２３】キャッシュメモリ７に格納された新データは、この新データにより新しくパリティを更新し（以下更新されたパリティを新パリティとする）、以下のように論理グループ１０内のドライブ１２へ新データと新パリティを格納する。まず、すでにドライブ１２内に書き込まれているデータを新しいデータに書き換える更新の場合についてのフローを図１２を用いて示す。本発明ではパリティは論理グループ１０を構成するドライブ１２において、ＲＡＩＤのレベル４のように特定のパリティ専用のドライブ１２に格納する。

【００２４】本発明の書き込み処理方法を図３を用いて説明する。ＭＰ２０はＣＰＵ１が指定した論理アドレスからアドレステーブルを参照し、データ、パリティが格納されているドライブ１２（ＤＤｒｉｖｅ　Ｎｏ．２９，ＰＤｒｉｖｅ　Ｎｏ．３４で指定される）とそのドライブ１２内の物理的なアドレスであるＳＣＳＩ内Ａｄｄｒ３０，ＰＳＣＳＩ内Ａｄｄｒ３５を認識する。図３に示すようにＣＰＵ１からＳＤ＃１のドライブ１２のＤａｔａ＃１に対し、Ｎｅｗ　Ｄａｔａ＃１に更新する書き込み要求が発行された場合、ＭＰ２０はアドレステーブルにより更新されるデータ（旧データ）であるＤａｔａ＃１および更新されるパリティ（旧パリティ）であるＰａｒｉｔｙ＃１の物理アドレスを認識した後、それぞれのドライブに対し旧データと旧パリティの読み出しを行なう（図３、図１２の（１））。この時の読み出し方法は先に説明した読み出し処理におけるドライブ１２からキャッシュメモリ７への読み出しと同じである。ただ、書き込み時の読み出しでは、ＡＤＣ２のＭＰ２０が発行した読み出し要求のため、読み出したデータはＣＰＵ１へは転送せず、キャッシュメモリ７に転送するのみである。この様に読み出した旧データ、旧パリティと書き込む新データとで排他的論理和を行ない更新後の新パリティであるＮｅｗ　Ｐａｒｉｔｙ＃１を作成しキャッシュメモリ７に格納する（図３、図１２の（２））。新パリティ（Ｎｅｗ　Ｐａｒｉｔｙ＃１）のキャッシュメモリ７への格納完了後、ＭＰ２０は新データ（Ｎｅｗ　Ｄａｔａ＃１）をＳＤ＃１のドライブ１２のＤａｔａ＃１のアドレスに書き込む（図３、図１２の（３））。なお、この新データの書き込みはＭＰ２０の管理の下で非同期に行なわれるようにしてもよい。新パリティ（Ｎｅｗ　Ｐａｒｉｔｙ＃１）はキャッシュメモリ７にそのまま格納しておく。この時、図４に示すアドレステーブル

に対し論理アドレスがＤａｔａ＃１のエントリにＮｅｗＤａｔａ＃１を登録し、キャッシュメモリ７に保持しておく場合はキャッシュアドレス３１にキャッシュ内のアドレスを登録し、キャッシュフラグ３２をオンとする。また、パリティに関してはキャッシュメモリ７に保持したままのため、Ｐキャッシュアドレス３６にキャッシュアドレスを登録し、Ｐキャッシュフラグ３７をオンとする。なお、この様にアドレステーブルでＰキャッシュフラグ３７がオンとなっているパリティは、更新済みのパリティとなり、パリティ格納用のドライブ１２内に格納されているパリティは無効とされる。本発明では図５に示すように、ＣＰＵ１からの新データを不揮発化されたキャッシュメモリ７内の領域に格納し、新パリティの作成が完了しキャッシュメモリ７に格納した時点で、ＭＰ２０は書き込み処理を終了したとＣＰＵ１に報告する。なお、従来方法では図５に示したように、新パリティをドライブの１回転後に書き込み、ＭＰ２０が書き込み処理を終了したとＣＰＵ１に報告している。新パリティのドライブ１２への書き込みはＭＰ２０の管理の下で非同期に行なわれるため、ユーザからは見えない。また、新データのドライブ１２への書き込みをＭＰ２０の管理の下に非同期に行なう場合は、同様にしてユーザからは見えない。以後ＣＰＵ１からＤａｔａ＃１０、Ｄａｔａ＃８に対する書き込み処理が発行されれば、上記と同様に処理し、各新パリティをキャッシュメモリ７に格納していく。

【００２５】キャッシュメモリ７に溜められた新パリティは、予めユーザが設定した設定値以上の新パリティがキャッシュメモリ７に溜った場合か、または、ユーザからの読み出し／書き込み要求の発行されていないタイミングが生じた場合にパリティ格納用のドライブ１２にまとめて書き込む（図３、図１２の（４））。このように新パリティをパリティ格納用のドライブ１２にまとめて書き込む場合は、シーケンシャルに書き込まれる。この様に新パリティをパリティ格納用のドライブ１２に書き込む際に、アドレステーブルのＰＳＣＳＩ内Ａｄｄｒ３５に実際に新パリティを書き込んだＳＣＳＩ内Ａｄｄｒを登録する。従来方法では制御の簡略化のため、パリティを格納するドライブ１２内でパリティを格納するＰＳＣＳＩ内Ａｄｄｒ３５はデータを格納するドライブ１２内のデータを格納するＳＣＳＩ内Ａｄｄｒ３０と同一にしていた。しかし、本発明では新パリティはシーケンシャルにまとめて書き込まれるため、パリティ格納用のドライブ１２内でパリティを格納するＰＳＣＳＩ内Ａｄｄｒ３５とデータ格納用のドライブ１２内のデータを格納したＳＣＳＩ内Ａｄｄｒ３０は原則として同一にはせず、異なるものにしている。

【００２６】また、キャッシュメモリ７内に溜められた新パリティをシーケンシャルにまとめて書き込む最中にＣＰＵ１より読み出し要求が発行された場合、読み出し

処理にはパリティは関与しないため、先に説明したように通常の読み出し処理を行なう。一方、キャッシュメモリ７内に溜められた新パリティをシーケンシャルにまとめて書き込む最中にＣＰＵ１より書き込み要求が発行された場合は、通常の書き込み処理と同様に旧データを読み出し、旧データの読み出し後新データを書き込む。この時、キャッシュメモリ７には新データと旧データを保持し、キャッシュメモリ７内に溜められた新パリティをシーケンシャルにまとめて書き込む処理が終了次第、当該書き込まれた新パリティを旧パリティとして読み出し、この旧パリティと先の新データと旧データとにより新パリティを作成しキャッシュメモリ７に格納する。

【００２７】本発明では新パリティをまとめ、シーケンシャルに書き込むが、図７、８に示すように、前に書き込まれているパリティが有効な場合、その上に新パリティを書き込んで消すわけには行かない。本発明では、アドレステーブルでＰキャッシュフラグ３７がオンとなっている旧パリティは、更新済みのパリティとなり、パリティ格納用のドライブ１２内では無効となっているが、Ｐキャッシュフラグ３７がオフとなっているパリティはパリティ格納用のドライブ１２内においてまだ有効なパリティである。この有効なパリティが消されると、ドライブ障害が発生した場合、障害ドライブ内のこのパリティの作成に関与したデータの回復が不可能となる。以下に新パリティのシーケンシャルまとめ書きの時のパリティ格納用ドライブ１２内の有効データの扱い方について説明する。図７に示すようにパリティ書き込み前のトラックにおいてパリティのＰ１，Ｐ２，Ｐ３はデータの書き込み要求に伴い更新された無効パリティであり、Ｐ８，Ｐ９はデータに対する書き込み要求が発行されていないため、更新されていない有効パリティである。書き込み要求１、２、３の順に書き込み要求が発行され、これによりＰ２，Ｐ３，Ｐ１の順に旧パリティが更新され更新済みの新パリティとしてＰ’２，Ｐ’３，Ｐ’１の順にキャッシュメモリ７に格納されているとする。これらの新パリティをパリティ格納用のドライブ１２にシーケンシャルにまとめ書きする場合は、旧パリティＰ１の位置に新パリティＰ’２を書き込み、有効パリティであるＰ８はそのまま残し、旧パリティＰ２の位置に新パリティＰ’３を書き込み、旧パリティＰ３の位置に新パリティＰ’１を順に書き込んでいく。すなわち、旧パリティの一連の位置に新パリティをその書き込み要求の発行順に順次書き込むのである。以上のように本発明ではシーケンシャルにまとめ書きする際に、有効データはそのまま残し、飛ばして新パリティを書き込んでいく。なお、シーケンシャルにパリティを書き込んでゆく際、１つのパリティを書き込み、次のパリティの書き込みを開始するための処理をしている間に、次のパリティを書き込むためのブロックが通り過ぎてしまわないように、ＩＳギャップ（これについては、“トランジスタ技術　Ｓ

ＰＥＣＩＡＬ　ＮＯ．２７　第２０頁”に記載されている）を充分に取る必要がある。また、別の方法としては図８に示すように有効パリティであるＰ８，Ｐ９をＭＰ２０の指示により擬似的な読み出し要求を発行し、この擬似的な読み出し要求によりキャッシュメモリ７に読み出し、この読み出しによりＭＰ２０はアドレステーブルのＰキャッシュアドレス３６をセットしＰキャッシュフラグ３７をオンとすることで、更新する新パリティとみなし、他の新パリティと一緒にシーケンシャルにまとめて書き込む方法もある。すなわち、図８に示すように、更新する新パリティＰ’２，Ｐ’３，Ｐ’１と更新する新パリティとみなしたパリティＰ８，Ｐ９からなる更新パリティ群の書き込み順をＰ’２，Ｐ’３，Ｐ’１，Ｐ８，Ｐ９とし、書き込み前のパリティ群Ｐ１，Ｐ８，Ｐ２，Ｐ３，Ｐ９の一連のアドレスへ上記書き込み順にしたがって更新パリティ群を順次書き込む。書き込み結果は図８のパリティ書き込み後のトラックに示すようになる。

【００２８】一方ドライブ１２にすでに格納されているデータに新しいデータ追加する新規書き込みの場合は、ＭＰ２０はアドレステーブルにおいて空き領域を探す。空き領域には２種類ある。まず一つはまったく使用されていない未使用領域である。この様にまったく使用されていない領域では、アドレステーブルにおいて論理アドレス２７の項に論理アドレスは登録されていない。このため、ＭＰ２０はアドレステーブルにおいて論理アドレス２７の項に論理アドレスが登録されていない領域を探すことで、未使用領域を見つけられる。もう一つの空き領域は、以前その領域は使用されていたが（データが書き込まれていた）、ユーザがそのデータが必要でなくなったため削除した削除領域である。削除領域は、アドレステーブルにおいて論理アドレス２７の項に論理アドレスが登録されてるが無効フラグ２８をオン（１）としている。このため、ＭＰ２０はアドレステーブルにおいて無効フラグ２８がオンになっている領域を探すことで、削除領域を見つけられる。ＭＰ２０が新規書き込みを行なう空き領域を決定する場合、まず、未使用領域を探す。もし、未使用領域が無い場合は削除領域を新規書き込み先に使用する。これは、未使用領域はパリティの作成に関与していない（全て０で構成されているとした）ため、新規書き込みの際のパリティの更新は、新規書き込みする新データと更新される旧パリティとの排他的論理和のみで行なえるが、削除領域のデータはユーザにとっては意味が無いデータとなっているが、パリティの作成には関与しているため、新規書き込みの際に旧データと同じように読み出して、旧パリティと新規書き込みデータとの間で排他的論理和をとり新パリティを作成しなければならない。このため、未使用領域に新規書き込みを行なうのと、削除領域に新規書き込みを行なうのでは、削除領域から削除されたデータを読み出す処理が入らない分、未使用領域に新規書き込みを行なう方が早く処理できるためである。以上述べたようにＭＰ２０が空き領域を探し、空き領域の認識が完了した後、この空き領域に新規書き込みデータの書き込みを行ない、更新と同様にアドレステーブルに論理アドレス２７を登録し、削除領域に新規書き込みを行なった場合は無効フラグ２８をオフとする。以上述べたように、新規書き込みと更新では、新データの書き込み先が異なるのみで処理自体は同じである。

【００２９】（障害回復処理）次にドライブ１２に障害が発生した場合の、障害ドライブ１２内のデータを回復する方法を説明する。図３に示すようにＳＤ＃１のドライブ１２のＤａｔａ＃１とＳＤ＃２のドライブ１２のＤａｔａ＃２とＳＤ＃３のドライブ１２のＤａｔａ＃３とＳＤ＃４のドライブ１２のＤａｔａ＃４からＳＤ＃５のドライブ１２のＰａｒｉｔｙ＃１が作成されている。同様にＤａｔａ＃５，６，７，８からＰａｒｉｔｙ＃２、Ｄａｔａ＃９，１０，１１，１２からＰａｒｉｔｙ＃３が作成されている。ＳＤ＃１，２，３，４のドライブ１２の中でどれか１台のドライブ１２に障害が発生した場合、残りのドライブ１２内のデータとパリティから、障害ドライブ１２内のデータを回復する。本発明では、パリティはパリティを格納するドライブ１２内においてランダムに格納されている。そこで、障害ドライブ１２内のデータを回復する際は、ＭＰ２０はＳＤ＃５のドライブ１２内のパリティをキャッシュメモリ７内に全て読み出す。例えば、図３においてＳＤ＃１のドライブ１２に障害が発生したとする。まず、ＭＰ２０はＳＤ＃５のドライブ１２からＰａｒｉｔｙ＃１，２，３をキャッシュメモリ７に読み出し、アドレステーブルのＰキャッシュアドレス３６にキャッシュメモリ７内のアドレスを登録し、Ｐキャッシュフラグ３７をオンにする。次に、ＭＰ２０はＳＤ＃２，３，４のドライブ１２からＤａｔａ＃２，３，４をそれぞれ読み出し、これらのデータとアドレステーブルによりこれらのデータに対応するパリティを、アドレステーブルにより探す。当該パリティを見つけた後は、上記データと先に読み出している当該パリティであるＰａｒｉｔｙ＃１とをパリティ生成回路（ＰＧ）２５に送り、Ｄａｔａ＃１を復元する。同様にＤａｔａ＃５，９も復元する。この様に復元したデータは、障害ドライブ１２を正常なドライブ１２に交換した後、この正常なドライブ１２に書き込むことで回復処理を行なう。また、ドライブ１２の障害時に備え予め予備の正常なドライブ１２を用意してある場合は、この予備の正常なドライブ１２に復元したデータを書き込みことで回復処理を行なう。

【００３０】以上の説明では更新後の新パリティを格納するキャッシュメモリ７は不揮発な半導体メモリとした。しかし、パリティはデータとは異なり停電等によってキャッシュメモリ７から消失しても、新たに作り直す

ことが可能なため、この、新たに作成する手間を許容できるなら、キャッシュメモリ７内で旧パリティを格納する領域を揮発な半導体メモリにすることも可能である。以上の説明では、更新後の新パリティをキャッシュメモリ７に格納したが、キャッシュメモリ７ではなく専用のメモリを用意することも可能である。従来のレベル４，５では書き込み処理を行なうたびに新パリティの書き込みを行なっていたため、常にパリティの更新後に回転の回転待ちを必要としたが、本発明ではシーケンシャルなまとめ書きを行なう際の最初に０．５回転の回転待ちを必要とするのみである。

【００３１】（実施例２）本実施例では実施例１で示したように、１台のパリティ格納用のドライブ１２にシーケンシャルにまとめ書きするのではなく、複数のパリティ格納用のドライブ１２に対し新パリティをパラレルに書き込む方法を示す。本実施例でも実施例１と同じ処理により、データの書き込みに伴いパリティを更新し、更新した新パリティはキャッシュメモリ７に保持される。図９に示すように書き込み要求１、２、３によりＤａｔａ＃１，＃９，＃８がそれぞれＮｅｗ　Ｄａｔａ＃１，＃９，＃８に更新され、このデータの更新により更新された新パリティとしてＮｅｗ　Ｐａｒｉｔｙ＃１，＃３，＃２がキャッシュメモリ７に保持されている（図９の（１）（２）（３））。実施例１と同様に予めユーザの設定値以上の新パリティがキャッシュメモリ７に溜った場合か、または、ユーザからの読み出し／書き込み要求の発行されていないタイミングで、複数のパリティ格納用のドライブ１２であるＳＤ＃５，ＳＤ＃６にパラレルにまとめて書き込む（図９の（５））。パラレルにまとめて書き込む単位としては、レベル３のようにバイト単位と、レベル４、５のようにパリティ単位がある。この時、各パリティ格納用のドライブ１２に対する書き込み方法は、実施例１の１台のパリティ格納用のドライブ１２への書き込み方法と同じである。また、本実施例の変形として、パラレルに書き込む新パリティによりパリティを作成し、ＳＤ＃７のパリティ格納用のドライブ１２に書き込む。この様にパリティのパリティを作成することにより、パリティ格納用のドライブ１２の障害時に新たにパリティを作成する際に、データを読み出す必要が無く、その間のデータへのアクセスを受け付けることが可能となる。

【００３２】（実施例３）本実施例では、図６に示すようにパリティ格納用のドライブ１２を複数の領域に分割し、各領域単位で行なう方法を説明する。この領域の分割は、ＳＣＳＩ内Ａｄｄｒ３０により行なう。例えばＳＣＳＩ内Ａｄｄｒ３０がＤＡＤＲ１からＤＡＤＲｋまでを領域１とする。ＳＤ＃１，２，３，４のドライブ１２においてＳＣＳＩ内Ａｄｄｒ３０がＤＡＤＲ１からＤＡＤＲｋまで領域１に所属する各データに対するパリティは、ＳＤ＃５のドライブ１２のＰＳＣＳＩ内Ａｄｄｒ３

６がＤＡＤＲ１からＤＡＤＲｋの領域１に格納される。このように、アドレステーブルにおいて、データ、パリティに対し所属する領域を対応させる。この様な領域分割を行なった場合、領域１に所属するパリティに対しデータの書き込みによるパリティの更新が行なわれた場合、新パリティは領域１のパリティとしてキャッシュメモリ７に保持する。同様にＣＰＵ１からの他の書き込みによる新パリティをキャッシュメモリ７に保持していき、領域１のパリティとして保持されている新パリティはまとめられ、領域１にシーケンシャルにまとめて書き込む。他の領域に対しても同様に各領域に所属するパリティの新パリティは、まとめてそれぞれの領域にシーケンシャルに書き込む。また、この様に領域に分割した際のドライブ１２に障害が発生した場合の回復方法は、基本的には実施例１で示した領域に分割しない場合と同じである。異なるのは、障害ドライブ１２内のデータを回復する際に、ＭＰ２０はＳＤ＃５のドライブ１２内のパリティをキャッシュメモリ７内に全て読み出さず、各領域単位に読み出す。つまり、回復処理を領域単位で行なう。

【００３３】本実施例の変形例を以下に示す。本変形例では、図１３に示すように、パリティを書き込む領域を、１台のパリティ書き込み用の専用ドライブ１２に限定せず、論理グループ１０を構成するドライブ１２全体に分散させる。この様に、パリティを書き込む領域を論理グループ１０を構成するドライブ１２に分散させた場合と上記のように１台のドライブ１２に限定した場合で異なる点を以下に示す。上記のように１台のドライブ１２に限定した場合、パリティの格納先のドライブ１２が限定されているため、ＭＰ２０がアドレステーブルによりパリティが格納されている領域を決定する場合、ＳＣＳＩ内Ａｄｄｒのみで可能である。一方、本変形例のように、パリティを書き込む領域を論理グループ１０を構成するドライブ１２に分散させた場合、ＭＰ２０がアドレステーブルにより領域を決定する場合、ＳＣＳＩ内Ａｄｄｒの他にドライブ番号も必要となる。この様に本変形例ではアドレス変換方法が異なるが、その他の制御方法は同じである。

【００３４】（実施例４）以下本発明の実施例４を説明する。図１４は、本実施例のハードウェア構成を示し、１はＣＰＵ、２はディスクアレイコントローラ（以下ＡＤＣ）、３はディスクアレイユニット（以下ＡＤＵ）である。ＡＤＵ３は複数の論理グループ１０により構成され，個々の論理グループ１０はｍ台のドライブ１２とフラッシュメモリコントローラ（ＦＭＥＭＣ）４２と複数のフラッシュメモリチィップ（ＦＭＥＭチィップ）４０により構成されるフラッシュメモリ（ＦＭＥＭ）４１と、各々のドライブ１２またはＦＭＥＭ４１とＡＤＣ２を接続するディスクアレイユニットパス９－１から９－４により構成される。本実施例では，各論理グループ１

０内にパリティを専用に格納するＦＭＥＭ４１を設け、書き込み時にＡＤＣ２がレベル４の制御により作成したパリティをＡＤＣ２内のキャッシュメモリ７に溜め、これらのパリティを一度にシーケンシャルにＦＭＥＭ４１に書き込む所に特徴がある。このように作成したパリティを溜め、まとめて一度にシーケンシャルにＦＭＥＭ４１に格納することで、ドライブ１２で構成されたレベル４のディスクアレイで問題となった書き込み時のパリティ更新オーバヘッド（回転待ち時間）を削減することが可能になる。なお、このドライブ１２の数については特に制限は無い。この論理グループ１０は障害回復単位で、この論理グループ１０内の各ドライブ１２内の各データによりパリティを作成する。本実施例ではＡＤＣ２のＭＰ２０はm台の個々のドライブ１２内のデータから各々のパリティが作成され、これらのパリティが論理グループ１０の一ケ所に集めて格納されるレベル４の制御を行う。従来のディスクアレイではこのパリティはドライブに格納されていた。

【００３５】次にＡＤＣ２の内部構造についての説明であるが、これは実施例１における図１および図２を用いた説明と同様であるので省略する。なお、実施例１の図２に対応する本実施例の図１５ではパリティ格納用のディスクドライブがフラッシュメモリ（ＦＭＥＭ）４１に置き換えられている。また、（アドレス変換法）については、実施例１における説明と同様であるので省略する。但し、実施例１の図４におけるＰＤｒｉｖｅ Ｎｏ．３４、ＰＳＣＳＩ内Ａｄｄｒ３５は図４に対応する本実施例の図１７においてはＦＭＥＭ３４’、ＦＭＥＭ内Ａｄｄｒ３５’となっている。次に、（読み出し処理）についての説明は、実施例１における説明と同様であるので省略する。

【００３６】（書き込み処理）次に本実施例の特徴となる書き込み時の処理について以下に示す。書き込み処理にはユーザが書き込み先の論理アドレスを指定し、そのデータを書き換える更新と、新たに空き領域に書き込む新規書き込みがある。ＣＰＵ１から書き込み命令が発行されたとする。まず、ＡＤＣ２のＭＰ２０はＣＰＵ１から書込み要求のコマンドを受け取った後、コマンドを受け取ったＭＰ２０が所属するクラスタ１３内の各チャネルパス６において処理可能かどうかを調べ、可能な場合は処理可能だという応答をＣＰＵ１へ返す。ＣＰＵ１では処理可能だという応答を受け取った後にＡＤＣ２へデータを転送する。この時、ＡＤＣ２ではＭＰ２０の指示によりチャネルパスディレクタ５において、チャネルパススイッチ１６が当該外部インターフェースパス４とＩＦ Ａｄｐ１５を当該チャネルパス６と接続しＣＰＵ１とＡＤＣ２間の接続を確立する。ＣＰＵ１とＡＤＣ２間の接続を確立後ＣＰＵ１からのデータ転送を受け付ける。ＣＰＵ１から転送されてくるデータには、論理アドレスと書き込みデータ（以下新データとする）があり、

これらのデータはＭＰ２０の指示により、ＣＨ ＩＦ２１によりプロトコル変換を行ない、外部インターフェースパス４での転送速度からＡＤＣ２内での処理速度に速度調整する。ＣＨ ＩＦ２１におけるプロトコル変換および速度制御の完了後、データはＤＣＣ２２によるデータ転送制御を受け、Ｃ Ａｄｐ２４に転送され、Ｃ Ａｄｐ２３によりキャッシュメモリ７内に格納される。この時、ＣＰＵ１から送られてきたデータが、論理アドレスの場合は、読み出しと同様にアドレステーブルによりアドレス変換を行い、物理アドレスに変換する。また、ＣＰＵ１から送られてきたデータが新データの場合は、キャッシュメモリ７に格納したアドレスをアドレステーブル内のキャッシュアドレス３１に登録する。この時、書き込む新データをキャッシュメモリ７内に保持するときは、論理アドレス２７のキャッシュフラグ３２をオン（１）とし、保持しない場合はキャッシュフラグ３２をオフ（０）とする。なお、キャッシュメモリ７内に保持されている新データに対し、さらに書き込み要求がＣＰＵ１から発行された場合は、キャッシュメモリ７内に保持されている新データを書き替える。

【００３７】キャッシュメモリ７に格納された新データは、この新データにより新しくパリティを更新し（以下更新されたパリティを新パリティとする）、以下のように論理グループ１０内のドライブ１２へ新データを格納し、ＦＭＥＭ４１に新パリティを格納する。まず、すでにドライブ１２内に書き込まれているデータを新しいデータに書き換える更新の場合についてのフローを図１２を用いて示す。本実施例では論理グループ１０において、ＲＡＩＤのレベル４の制御を行い、パリティはパリティ専用のＦＭＥＭ４１に格納する。

【００３８】本実施例の書き込み処理方法を図１６を用いて説明する。ＭＰ２０はＣＰＵ１が指定した論理アドレスからアドレステーブルを参照し、データが格納されているドライブ１２（ＤＤｒｉｖｅ Ｎｏ．２９で指定される）とそのドライブ１２内の物理的なアドレスであるＳＣＳＩ内Ａｄｄｒ３０とパリティが格納されているＦＭＥＭチィップ４０のアドレスであるＦＭＥＭアドレス３４’と、このＦＭＥＭチィップ０内の物理アドレスであるＦＭＥＭ内Ａｄｄｒ３５’を認識する。図１６に示すようにＣＰＵ１からＳＤ＃１のドライブ１２のＤａｔａ＃１に対し、Ｎｅｗ Ｄａｔａ＃１に更新する書き込み要求が発行された場合、ＭＰ２０はアドレステーブルにより更新されるデータ（旧データ）であるＤａｔａ＃１および更新されるパリティ（旧パリティ）であるＰａｒｉｔｙ＃１の物理アドレスを認識した後、旧データの格納されているドライブ１２と旧パリティの格納されているＦＭＥＭチィップ４０に対し読み出しを行なう（図16、図１２の（１））。この時の旧データの読み出し方法は先に説明した読み出し処理におけるドライブ１２からキャッシュメモリ７への読み出しと同じであ

る。ＦＭＥＭ４１からの旧パリティの読み出しは以下のように行う。ＭＰ２０は図１７に示すアドレステーブルを参照し、更新される旧パリティのＰアドレス３３に対応する、旧パリティが格納されている物理アドレス（ＦＭＥＭアドレス３４’と、このＦＭＥＭアドレス３４’のＦＭＥＭチィップ４０内のＦＭＥＭ内Ａｄｄｒ３５’）を認識する。ＭＰ２０がこのように更新される旧パリティのＦＭＥＭ４１内の物理アドレスを認識した後は、ＦＭＥＭ４１内のＦＭＥＭＣ４２に対し、当該旧パリティの読み出しコマンドとこの物理アドレスを送る。読み出しコマンドと物理アドレスを受け取ったＦＭＥＭＣ４２では、ＦＭＥＭアドレス３４’に対するＦＭＥＭチィップ４０をイネーブルにし、ＦＭＥＭ内Ａｄｄｒ３５’を当該ＦＭＥＭチィップ４０にセットし、当該旧パリティを読み出し、ＦＭＥＭＣ４２内のバッファに格納する。当該旧パリティを読み出したＦＭＥＭＣ４２では、ＭＰ２０に対し当該旧パリティの格納されている当該ＦＭＥＭチィップ４０からの読み出しが完了したことを報告する。この報告を受け取ったＭＰ２０はＦＭＥＭＣ４２に対し、当該旧パリティをキャッシュメモリ７に転送するように指示し、この指示を受け取ったＦＭＥＭＣ４２は当該旧パリティをキャッシュメモリ７に転送する。ただ，書き込み時の読み出しでは、ＡＤＣ２のＭＰ２０が発行した読み出し要求のため、読み出したデータはＣＰＵ１へは転送せず、キャッシュメモリ７に転送するのみである。この様に読み出した旧データ、旧パリティと書き込む新データとで排他的論理和を行ない更新後の新パリティであるＮｅｗ　Ｐａｒｉｔｙ＃１を作成しキャッシュメモリ７に格納する（図１６、図１２の（２））。新パリティ（Ｎｅｗ　Ｐａｒｉｔｙ＃１）のキャッシュメモリ７への格納完了後、ＭＰ２０は新データ（Ｎｅｗ　Ｄａｔａ＃１）をＳＤ＃１のドライブ１２のＤａｔａ＃１のアドレスに書き込む（図１６、図１２の（３））。なお、この新データの書き込みはＭＰ２０の管理の下で非同期に行なわれるようにしてもよい。新パリティ（Ｎｅｗ　Ｐａｒｉｔｙ＃１）はキャッシュメモリ７にそのまま格納しておく。この時、図１７に示すアドレステーブルに対し論理アドレスがＤａｔａ＃１のエントリにＮｅｗ　Ｄａｔａ＃１を登録し、キャッシュメモリ７に保持しておく場合はキャッシュアドレス３１にキャッシュ内のアドレスを登録し、キャッシュフラグ３２をオンとする。また、パリティに関してはキャッシュメモリ７に保持したままのため、Ｐキャッシュアドレス３６にキャッシュアドレスを登録し、Ｐキャッシュフラグ３７をオンとする。なお、この様にアドレステーブルでＰキャッシュフラグ３７がオンとなっているパリティは、更新済みのパリティとなり、ＦＭＥＭ４１内に格納されているパリティは無効とされる。本実施例では図５に示すように、ＣＰＵ１からの新データを不揮発化されたキャッシュメモリ７内の領域に格納し、新パリティ

の作成が完了しキャッシュメモリ７に格納した時点で、ＭＰ２０は書き込み処理を終了したとＣＰＵ１に報告する。なお、従来方法では図５に示したように、新パリティをドライブの１回転後に書き込み、ＭＰ２０が書き込み処理を終了したとＣＰＵ１に報告している。新パリティのＦＭＥＭ４１への書き込みはＭＰ２０の管理の下で非同期に行なわれるため、ユーザからは見えない。また、新データのドライブ１２への書き込みをＭＰ２０の管理の下に非同期に行なう場合は、同様にしてユーザからは見えない。以後ＣＰＵ１からＤａｔａ＃１０、Ｄａｔａ＃８に対する書き込み処理が発行されれば、上記と同様に処理し、各新パリティをキャッシュメモリ７に格納していく。

【００３９】キャッシュメモリ７に溜められた新パリティは、予めユーザが設定した設定値以上の新パリティがキャッシュメモリ７に溜った場合か、または、ユーザからの読み出し／書き込み要求の発行されていないタイミングが生じた場合にパリティ格納用のＦＭＥＭ４１にまとめて書き込む（図１６、図１２の（４））。このように新パリティをパリティ格納用のＦＭＥＭ４１にまとめて書き込む場合は、シーケンシャルに書き込まれる。また、この様に新パリティをパリティ格納用のＦＭＥＭ４１に書き込む際に、アドレステーブルのＦＭＥＭアドレス３４’、ＦＭＥＭ内Ａｄｄｒ３５’に実際に新パリティを書き込んだアドレスを登録する。従来のディスクアレイは全てドライブで構成され、データもパリティもドライブに格納されていた。また、新データは旧データが格納されていたアドレスに書き戻されるため、更新による書き込み時にアドレステーブルの変更を必要とせず、制御は簡単であった。しかし、本実施例では、新パリティは書き込み要求が発行された順にシーケンシャルにまとめて書き込まれるため、パリティ格納用のＦＭＥＭ４１内では、新パリティが格納されるアドレス（ＦＭＥＭアドレス３４とＦＭＥＭ内Ａｄｄｒ３５）は原則として、その新パリティに対する旧パリティが格納されていたアドレスとは同一にせず、異なるものにしている。

【００４０】また、キャッシュメモリ７内に溜められた新パリティをシーケンシャルにまとめて書き込む最中にＣＰＵ１より読み出し要求が発行された場合、読み出し処理にはパリティは関与しないため、先に説明したように通常の読み出し処理を行なう。一方、キャッシュメモリ７内に溜められた新パリティをシーケンシャルにまとめて書き込む最中にＣＰＵ１より書き込み要求が発行された場合は、通常の書き込み処理と同様に旧データを読み出し、旧データの読み出し後新データを書き込む。この時、キャッシュメモリ７には新データと旧データを保持し、キャッシュメモリ７内に溜められた新パリティをシーケンシャルにまとめて書き込む処理が終了次第、当該書き込まれた新パリティとで新たにパリティを更新する。

35

【００４１】本実施例では新パリティをまとめ、シーケンシャルに書き込むが、図１９、２０に示すように、前に書き込まれているパリティが有効な場合、その上に新パリティを書き込んで消すわけには行かない。本実施例では、アドレステーブルでＰキャッシュフラグ３７がオンとなっている旧パリティは、更新済みのパリティとなり、パリティ格納用のＦＭＥＭ４１内では無効となっているが、Ｐキャッシュフラグ３７がオフとなっているパリティはＦＭＥＭ４１内においてまだ有効なパリティである。この有効なパリティが消されると、ドライブ障害が発生した場合、障害ドライブ内のこのパリティの作成に関与したデータの回復が不可能となる。

【００４２】そこで、新パリティをシーケンシャルにまとめ書きする時のパリティ格納用ＦＭＥＭ４１内の有効データの扱い方について以下に説明する。図１９に示すようにパリティ書き込み前のＦＭＥＭチィップ４０においてパリティのＰ１、Ｐ２、Ｐ３はデータの書き込み要求に伴い更新された無効パリティであり、Ｐ８、Ｐ９はデータに対する書き込み要求が発行されていないため、更新されていない有効パリティである。書き込み要求１、２、３の順に書き込み要求が発行され、これによりＰ２、Ｐ３、Ｐ１の順に旧パリティが更新され更新済みの新パリティとしてＰ’２、Ｐ’３、Ｐ’１の順にキャッシュメモリ７に格納されているとする。これらの新パリティをパリティ格納用のＦＭＥＭ４１にシーケンシャルにまとめ書きする場合は、ＭＰ２０は書き込む新パリティの量を調べ、この量に相当すＦＭＥＭチィップ４０内の無効パリティ（Ｐ１、Ｐ２、Ｐ３）が書き込まれているアドレスを一度に消去する（フラッシュメモリの書き込みにおける消去方法についてはＨＮ２８Ｆ１６００シリーズのデータシート（ＡＤＪ－２０３－０４５（ａ）（ｚ））に記載されている）。このように、新パリティをシーケンシャルにまとめ書きするＦＭＥＭチィップ４０内の消去が完了すると、旧パリティＰ１のアドレスに新パリティＰ’２を書き込み、有効パリティであるＰ８はそのまま残し、旧パリティＰ２の位置に新パリティＰ’３を書き込み、旧パリティＰ３の位置に新パリティＰ’１を順に書き込んでいく。すなわち、旧パリティの一連の位置に新パリティをその書き込み要求の発行順に順次書き込むのである。以上のように本発明ではシーケンシャルにまとめ書きする際に、有効データをそのまま残し、飛ばして新パリティを書き込んでいく。

【００４３】また、別の方法としては図２０に示すように有効パリティであるＰ８、Ｐ９をＭＰ２０の指示により、ＦＭＥＭ４１に対し擬似的な読み出し要求を発行し、この擬似的な読み出し要求によりキャッシュメモリ７に有効パリティを読み出し、この有効パリティのキャッシュメモリ７への読み出しによりＭＰ２０はアドレステーブルのＰキャッシュアドレス３６をセットしＰキャッシュフラグ３７をオンとすることで、更新する新パリ

36

ティとみなす。ＭＰ２０はキャッシュメモリ７に溜められている新パリティと読み出された有効パリティの量を調べ、この量に相当するＦＭＥＭチィップ４０内の領域を一度に消去する。このように、ＦＭＥＭチィップ４０内の消去が完了すると、ＦＭＥＭ４１から読み出した有効パリティは新パリティとして、他の新パリティと一緒にシーケンシャルにまとめて書き込む。すなわち、図２０に示すように、更新する新パリティＰ’２，Ｐ’３，Ｐ’１と更新する新パリティとみなしたパリティＰ８，Ｐ９からなる更新パリティ群の書き込み順をＰ’２，Ｐ’３，Ｐ’１，Ｐ８，Ｐ９とし、書き込み前のパリティ群Ｐ１，Ｐ８，Ｐ２，Ｐ３，Ｐ９の一連のアドレスへ上記書き込み順にしたがって更新パリティ群を順次書き込む。書き込み結果は図２０のパリティ書き込み後のトラックに示すようになる。フラッシュメモリではデータをフラッシュメモリに書き込む場合、まず書き込むアドレスに格納されているデータを消去し、この消去が完了した後に実際にデータを書き込む。フラッシュメモリでは１セクタ（フラッシュメモリをアクセスする場合、ディスクにアクセスするときのアドレスと同じフォーマットのアドレスでアクセスする）を消去しても、複数セクタを一度に消去しても消去時間は同じである。又、書き込み時間の大半はこの消去時間が占めており、実際にフラッシュメモリに書き込む時間は消去時間と比較した場合無視できるほど小さい。本実施例の特徴であるシーケンシャルにまとめて書き込みを行うことにより、消去が一回で済むため、新パリティのまとめる数が多いほどオーバヘッドが小さく出来る。

【００４４】本実施例では、ＦＭＥＭ４１を構成する全ＦＭＥＭチィップ４０に対し、平均に書き込みが行われるようにＦＭＥＭチィップ４０への書き込み回数をカウントする。フラッシュメモリはドライブと比較してランダムにアクセスしても短時間で処理できる利点があるが、その反面書き込み回数に制限がある。このため、あるアドレスに集中して書き込みが行われると、フラッシュメモリの一部が書き込み回数の限界に達してしまい、以後書き込めなくなってしまう。本実施例では、ＦＭＥＭ４１に対しシーケンシャルにまとめて新パリティを書き込むため、ＦＭＥＭ４１へ新パリティをシーケンシャルにまとめて書き込む際に、規則的に書き込むことで全ＦＭＥＭチィップ４０に対し書き込み回数を平均化する。具体的には、図１８に示すようにＦＭＥＭ４１がＦＭＥＭ＃１、２、３、４、、ｎのｎ個のＦＭＥＭチィップ４０で構成され、アドレスが０００００からｆｆｆｆとする。ＭＰ２０は新パリティのシーケンシャルなまとめ書きを行うことを認識すると、前回のまとめ書きを行った際に、新パリティを格納した最終のアドレスを調べる。例えば、前回のまとめ書きにおいて、ＦＭＥＭ４１内で００００からａａａａまで新パリティを書き込んだとすると、アドレスａａａａをＭＰ２０は記憶してお

く。そして、次のシーケンシャルなまとめ書き時にはこの記憶しておいたアドレス（ａａａａ）を調べる。このように、ＭＰ２０が前回の最終アドレスを記憶すると、ＭＰ２０は次の新パリティのシーケンシャルなまとめ書きはアドレスａａａａの次から行うように判断する。ＭＰ２０がこのようにして新パリティのシーケンシャルなまとめ書きを行う先頭アドレスを認識すると、次にＦＭＥＭ４１への書き込み回数の限界に達しているかどおかを判定する。

【００４５】図２２の書き込み回数判定フローチャートに示すように、新パリティをシーケンシャルにまとめ書きする先頭アドレスが００００かどおかを判定する（５１）。００００でなければ判定フローは終了し（５２）、００００であればＭＰ２０は書き込み回数カウンタのカウンタ値に１をたす（５３）。すなわち、先頭アドレスに来る度にカウンタの値を増加する。次にＭＰ２０はこの１をたしたカウンタ値が、予めセットされているＦＭＥＭチィップ４０の書き込み回数の限界値かどおかを判定する（５４）。ＦＭＥＭチィップ４０の書き込み回数の限界値は、初期設定において予めＭＰ２０に対しユーザが設定する。この判定結果において、ＦＭＥＭチィップ４０の書き込み回数の限界値を越えていなければ判定フローを終了し（５２）、越えている場合はＦＭＥＭチィップ４０の交換を通報する（５５）。以上のように本実施例ではＦＭＥＭ４１に対する新パリティのシーケンシャルなまとめ書きは、アドレスの低い方から高い方へ一方向に行われる。これにより、ＦＭＥＭ４１の全ＦＭＥＭチィップ４０では、書き込み回数は平均化されることになる。本実施例ではこのようにしてＦＭＥＭ４１内においてＦＭＥＭチィップ４０への書き込み回数を平均化する。

【００４６】一方ドライブ１２にすでに格納されているデータに新しいデータ追加する新規書き込みの場合は、ＭＰ２０はアドレステーブルにおいて空き領域を探す。空き領域には２種類ある。まず一つはまったく使用されていない未使用領域である。この様にまったく使用されていない領域では、アドレステーブルにおいて論理アドレス２７の項に論理アドレスは登録されていない。このため、ＭＰ２０はアドレステーブルにおいて論理アドレス２７の項に論理アドレスが登録されていない領域を探すことで、未使用領域を見つけられる。もう一つの空き領域は、以前その領域は使用されていたが（データが書き込まれていた）、ユーザがそのデータが必要でなくなったため削除した削除領域である。削除領域は、アドレステーブルにおいて論理アドレス２７の項に論理アドレスが登録されてるが無効フラグ２８をオン（１）としている。このため、ＭＰ２０はアドレステーブルにおいて無効フラグ２８がオンになっている領域を探すことで、削除領域を見つけられる。ＭＰ２０が新規書き込みを行なう空き領域を決定する場合、まず、未使用領域を探す。もし、未使用領域が無い場合は削除領域を新規書き込み先に使用する。これは、未使用領域はパリティの作成に関与していない（全て０で構成されているとした）ため、新規書き込みの際のパリティの更新は、新規書き込みする新データと更新される旧パリティとの排他的論理和のみで行なえるが、削除領域のデータはユーザにとっては意味が無いデータとなっているが、パリティの作成には関与しているため、新規書き込みの際に旧データと同じように読み出して、旧パリティと新規書き込みデータとの間で排他的論理和をとり新パリティを作成しなければならない。このため、未使用領域に新規書き込みを行なうのと、削除領域に新規書き込みを行なうのでは、削除領域から削除されたデータを読み出す処理が入らない分、未使用領域に新規書き込みを行なう方が早く処理できるためである。以上述べたようにＭＰ２０が空き領域を探し、空き領域の認識が完了した後、この空き領域に新規書き込みデータの書き込みを行ない、更新と同様にアドレステーブルに論理アドレス２７を登録し、削除領域に新規書き込みを行なった場合は無効フラグ２８をオフとする。以上述べたように、新規書き込みと更新では、新データの書き込み先が異なるのみで処理自体は同じである。

【００４７】（障害回復処理）次にドライブ１２に障害が発生した場合の、障害ドライブ１２内のデータを回復する方法を説明する。図１６に示すようにＳＤ＃１のドライブ１２のＤａｔａ＃１とＳＤ＃２のドライブ１２のＤａｔａ＃２とＳＤ＃３のドライブ１２のＤａｔａ＃３とＳＤ＃４のドライブ１２のＤａｔａ＃４からＦＭＥＭ＃１のＦＭＥＭチップ４０のＰａｒｉｔｙ＃１が作成されている。同様にＤａｔａ＃５、６、７、８からＰａｒｉｔｙ＃２、Ｄａｔａ＃９、１０、１１、１２からＰａｒｉｔｙ＃３が作成されている。ＳＤ＃１、２、３、４のドライブ１２の中でどれか１台のドライブ１２に障害が発生した場合、残りのドライブ１２内のデータとＦＭＥＭ４１内のパリティから、障害ドライブ１２内のデータを回復する。本実施例では、パリティはパリティを格納するＦＭＥＭ４１内においてランダムなアドレスに格納されている。例えば、図１６においてＳＤ＃１のドライブ１２に障害が発生し、このＳＤ＃１のドライブ１２内のＤａｔａ＃１に読み出し要求が発生したとする。まず、ＭＰ２０はアドレステーブルから読み出し要求が発行されたＤａｔａ＃１は障害が発生したドライブ内のデータだと認識した場合は、ＳＤ＃２、３、４のドライブ１２からＤａｔａ＃２、３、４をそれぞれ読み出し、ＭＰ２０はアドレステーブルによりこれらのデータに対応するパリティを、アドレステーブルにより探す。ＭＰ２０がアドレステーブルにより当該パリティのＦＭＥＭ４１内のアドレスを認識した後はＦＭＥＭ４１から当該パリティであるＰａｒｉｔｙ＃１を読み出し、上記データと共にパリティ生成回路（ＰＧ）２５に送り、排他的論

理和を行うことでＤａｔａ＃１を復元する。同様にＤａｔａ＃５、９も復元する。フラッシュメモリはドライブのようにディスクを回転させたり、ヘッドをシークさせるような機械的な動作を必要としない。また、フラッシュメモリでは先に述べたように書き込み時は消去を必要とするが、読み出し時にはＤＲＡＭのような半導体メモリからの読み出しと同じように短時間で読み出せる。このようにフラッシュメモリにおけるランダムな読み出しはドライブと比較して無視できるほど短時間で処理できる。このため、本実施例のようにデータの回復毎にアドレステーブルを調査し、アドレスを認識し、ＦＭＥＭ４１から読み出しても、ドライブからのデータの読み出しと比較し短時間で処理できる。この様に復元したデータは、障害ドライブ１２を正常なドライブ１２に交換した後、この正常なドライブ１２に書き込むことで回復処理を行なう。また、ドライブ１２の障害時に備え予め予備の正常なドライブ１２を用意してある場合は、この予備の正常なドライブ１２に復元したデータを書き込みことで回復処理を行なう。

【００４８】以上の説明では更新後の新パリティを格納するキャッシュメモリ７は不揮発な半導体メモリとした。しかし、パリティはデータとは異なり停電等によってキャッシュメモリ７から消失しても、新たに作り直すことが可能なため、この、新たに作成する手間を許容できるなら、キャッシュメモリ７内で旧パリティを格納する領域を揮発な半導体メモリにすることも可能である。以上の説明では、更新後の新パリティをキャッシュメモリ７に格納したが、キャッシュメモリ７ではなく専用のメモリを用意することも可能である。従来のレベル４、５では新パリティをドライブに格納しているため、書き込み処理を行なうたびに新パリティの書き込みを行なっていたため、新パリティを書き込む毎に回転の回転待ちを必要としたが、本実施例ではシーケンシャルなまとめ書きを行なう際のＦＭＥＭチィップ４０の一括消去（約１０ｍｓ）と書き込みを行う時間のみである。

【００４９】（実施例５）本実施例では実施例４で示したように、１つのパリティ格納用のＦＭＥＭチップにシーケンシャルにまとめ書きするのではなく、複数のパリティ格納用のＦＭＥＭチィップ４０に対し新パリティをパラレルに書き込む方法を示す。本実施例でも実施例４と同じ処理により、データの書き込みに伴いパリティを更新し、更新した新パリティはキャッシュメモリ７に保持される。図２１に示すように書き込み要求１、２、３によりＤａｔａ＃１、＃９、＃８がそれぞれＮｅｗ　Ｄａｔａ＃１、＃９、＃８に更新され、このデータの更新により更新された新パリティとしてＮｅｗ　Ｐａｒｉｔｙ＃１、＃３、＃２がキャッシュメモリ７に保持されている（図２１の（１）（２）（３））。実施例１と同様に予めユーザの設定値以上の新パリティがキャッシュメモリ７に溜った場合か、または、ユーザからの読み出し

／書き込み要求の発行されていないタイミングで、複数のパリティ格納用のＦＭＥＭ４１であるＦＭＥＭ＃１、ＦＭＥＭ＃２にパラレルにまとめて書き込む（図２１の（５））。パラレルにまとめて書き込む単位としては、レベル３のようにバイト単位と、レベル４、５のようにパリティ単位がある。この時、各パリティ格納用のＦＭＥＭ４１に対する書き込み方法は、実施例１のパリティ格納用のＦＭＥＭ４１への書き込み方法と同じである。また、本実施例の変形として、パラレルに書き込む新パリティによりパリティを作成し、ＦＭＥＭ＃３のパリティ格納用のＦＭＥＭ４１に書き込む。この様にパリティのパリティを作成することにより、パリティ格納用のＦＭＥＭ４１の障害時に新たにパリティを作成する際に、データを読み出す必要が無く、その間のデータへのアクセスを受け付けることが可能となる。

【００５０】

【発明の効果】従来はデータの書き込みによるパリティの更新ごとにドライブに書き込むため、この更新された新パリティの書き込みに１回転の回転待ちが必要であった。本発明によれば、更新した新パリティをキャッシュメモリに貯蔵しておき、後に、この様に貯蔵された新パリティをまとめてシーケンシャルにパリティ格納用のドライブに書き込んでいるため、シーケンシャルにまとめ書きする際の、最初に０．５回転の回転待ちが必要になるのみであり、従来問題となっいた書き込み時の処理時間を減少させることが可能となる。また、更新した新パリティをキャッシュメモリに貯蔵しておき、後に、この様に貯蔵された新パリティをまとめてシーケンシャルにパリティ格納用のＦＭＥＭに書き込んでいるため、シーケンシャルにまとめ書きする際の、ＦＭＥＭの消去時間と書き込み時間のオーバヘッドが必要になるのみであり、書き込み時の処理時間を減少させることが可能となる。また、パリティを格納するＦＭＥＭの書き込み回数の平均化が可能になる。

【図面の簡単な説明】

【図１】実施例１のハードウェア構成を示す図である。

【図２】図１のチャネルパスディレクタと１クラスタの内部構造を示した図である。

【図３】実施例１の書き込み処理時におけるデータ移動を説明する図である。

【図４】アドレス変換テーブルを説明する図である。

【図５】書き込み処理のタイミングチャートを示す図である。

【図６】磁気ディスク装置内の領域分割を説明する図である。

【図７】新パリティのシーケンシャル書き込み方法を説明する図である。

【図８】新パリティの他のシーケンシャル書き込み方法を説明するである。

【図９】実施例２の書き込み処理時におけるデータ移動

41

を説明する図である。

【図１０】ＲＡＩＤのレベル４、５における更新処理を説明する図である。

【図１１】磁気ディスク装置内のアドレスを説明する図である。

【図１２】データおよびパリティの書き込み処理のフローチャートを示す図である。

【図１３】実施例３における磁気ディスク装置内の領域分割を説明する図である。

【図１４】実施例４のハードウェア構成を示す図である。

【図１５】図１４のチャネルパスディレクタと１クラスタの内部構造を示した図である。

【図１６】実施例４の書き込み処理時におけるデータ移動を説明する図である。

【図１７】実施例４におけるアドレス変換テーブルを説明する図である。

【図１８】ＦＭＥＭ内のアドレスを説明する図である。

【図１９】実施例４における新パリティのシーケンシャル書き込み方法を説明する図である。

【図２０】実施例４における新パリティの他のシーケンシャル書き込み方法を説明する図である。

【図２１】実施例５の書き込み処理時におけるデータ移動を説明する図である。

【図２２】ＦＭＥＭの書き込み回数を判定するフローチャートを示す図である。

【符号の説明】

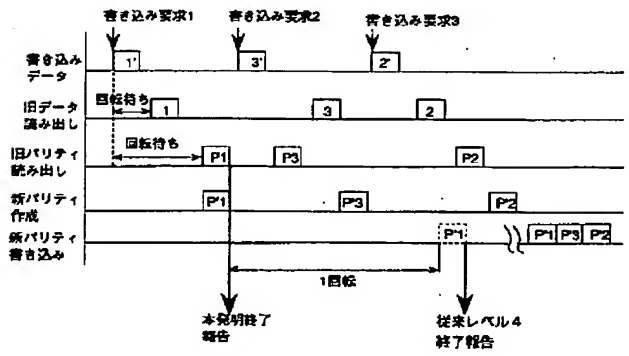
１　ＣＰＵ
２　ディスクアレイコントローラ（ＡＤＣ）
３　ディスクアレイユニット（ＡＤＵ）
４　外部インターフェースパス
５．チャネルパスディレクタ
６　チャネルパス
７　キャッシュメモリ

42

８　ドライブパス
９　ディスクアレイユニットパス
１０　論理グループ
１２　ドライブ
１３　クラスタ
１４　ドライブ側キャッシュアダプタ（Ｃ　Ａｄｐ）
１５　インターフェースアダプタ
１６　チャネルパススイッチ
１７　制御信号線
１８　データ線
１９　パス
２０　マイクロプロセッサ（ＭＰ）
２１　チャネルインターフェース回路（ＣＨ　ＩＦ）
２２　データ制御回路（ＤＣＣ）
２３　チャネル側キャッシュアダプタ（Ｃ　Ａｄｐ）
２４　ドライブインターフェース回路（Ｄｒｉｖｅ　ＩＦ）
２５　パリティ生成回路（ＰＧ）
２７　論理アドレス
２８　無効フラグ
２９　データドライブ番号（ＤＤｒｉｖｅ　Ｎｏ．）
３０　ＳＣＳＩ内Ａｄｄｒ
３１　キャッシュアドレス
３２　キャッシュフラグ
３３　Ｐ論理アドレス
３４　パリティドライブ番号（ＰＤｒｉｖｅ　Ｎｏ．）
３４’　ＦＭＥＭアドレス
３５　ＰＳＣＳＩ内Ａｄｄｒ
３５’　ＦＭＥＭ内Ａｄｄｒ
３６　Ｐキャッシュアドレス
３７　Ｐキャッシュフラグ
４０　フラッシュメモリチィップ（ＦＭＥＭチィップ）
４１　フラッシュメモリ（ＦＭＥＭ）
４２　フラッシュメモリコントローラ（ＦＭＥＭＣ）

【図５】

図5

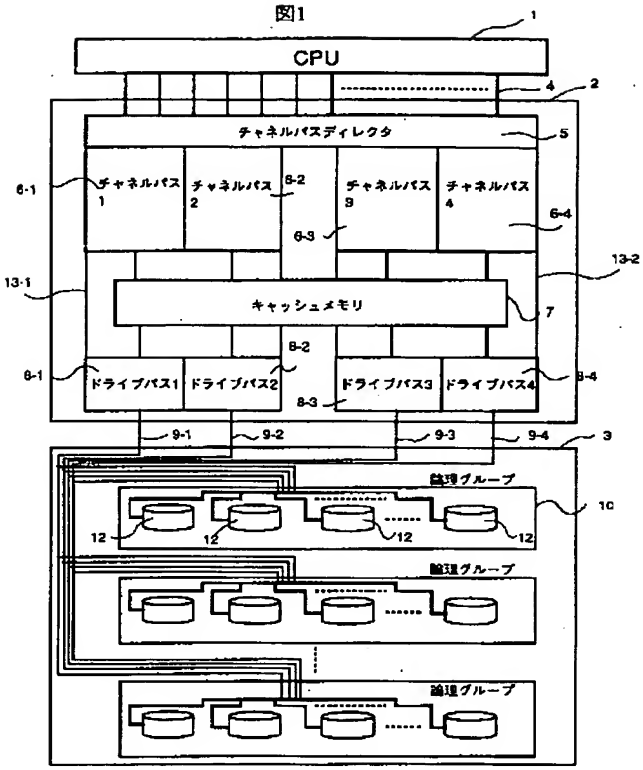


【図１７】

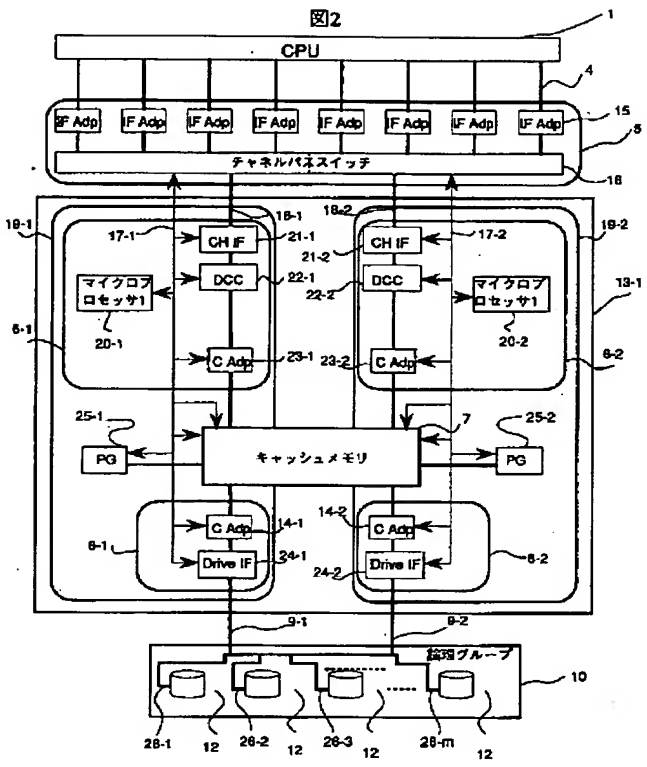
図１７

論理アドレス	無効Flag	DDrive No.	SCSI内Addr	キャッシュアドレス	Cache Flag	P論理アドレス	FMEMアドレス	FMEM内Addr	Pキャッシュアドレス	PCache Flag
Data#1	0	SD#1	DADR1	——	0					
Data#2	0	SD#2	DADR1	C ADR5	1	Parity#1	FMEM#1	FADR5	C ADR21	1
Data#3	0	SD#3	DADR1	——	0					
Data#4	0	SD#4	DADR1	C ADR2	1					
Data#5	1	SD#1	DADR2	——	0					
Data#6	0	SD#2	DADR2	C ADR8	1	Parity#2	FMEM#1	FADR7	——	0
Data#7	0	SD#3	DADR2	C ADR1	1					
Data#8	0	SD#4	DADR2	——	0					
⋮	⋮	⋮	⋮	⋮	⋮		⋮	⋮	⋮	⋮

【図１】



【図２】



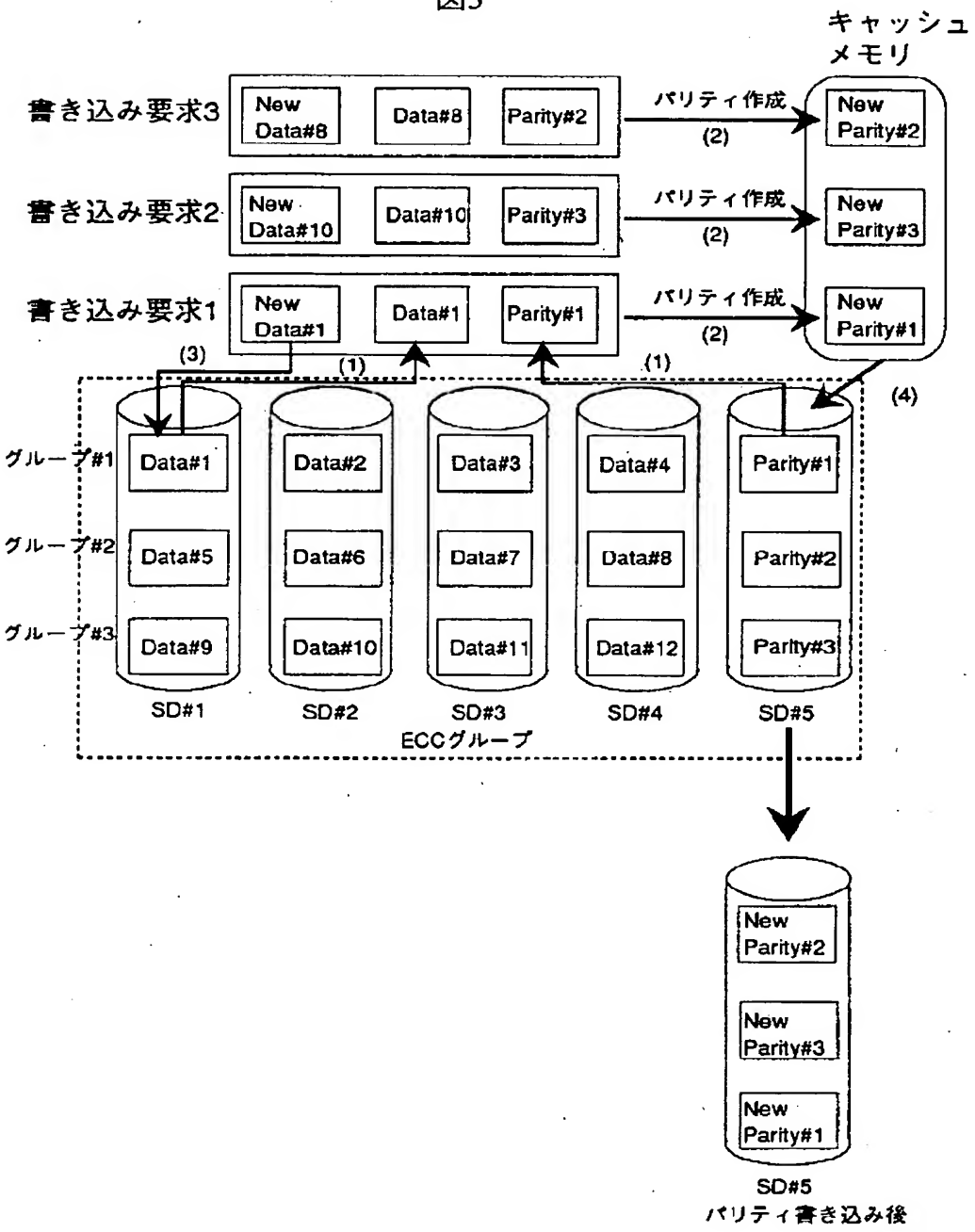
【図４】

図4

27 論理アドレス	28 無効Flag	29 DDrive No.	30 SCSI内Addr	31 キャッシュアドレス	32 Cache Flag	33 P論理アドレス	34 PDrive No.	35 PSCSI内Addr	36 Pキャッシュアドレス	37 PCache Flag
Data#1	0	SD#1	DADR1	——	0	Parity#1	SD#5	DADR5	C ADR21	1
Data#2	0	SD#2	DADR1	C ADR5	1					
Data#3	0	SD#3	DADR1	——	0					
Data#4	0	SD#4	DADR1	C ADR2	1					
Data#5	1	SD#1	DADR2	——	0	Parity#2	SD#5	DADR7	——	0
Data#6	0	SD#2	DADR2	C ADR6	1					
Data#7	0	SD#3	DADR2	C ADR1	1					
Data#8	0	SD#4	DADR2	——	0					
⋮	⋮	⋮	⋮	⋮	⋮		⋮	⋮	⋮	⋮

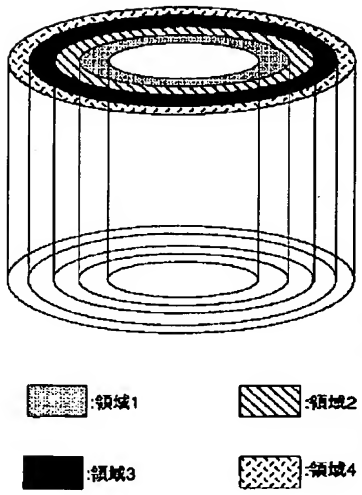
【図３】

図3


キャッシュ
メモリ
書き込み要求3
New Data#8
Data#8
Parity#2
パリティ作成
(2)
New Parity#2
書き込み要求2
New Data#10
Data#10
Parity#3
パリティ作成
(2)
New Parity#3
書き込み要求1
New Data#1
Data#1
Parity#1
パリティ作成
(2)
New Parity#1
(3)
(1)
(1)
(4)
グループ#1
グループ#2
グループ#3
Data#1
Data#2
Data#3
Data#4
Parity#1
Data#5
Data#6
Data#7
Data#8
Parity#2
Data#9
Data#10
Data#11
Data#12
Parity#3
SD#1
SD#2
SD#3
SD#4
SD#5
ECCグループ
New Parity#2
New Parity#3
New Parity#1
SD#5
パリティ書き込み後

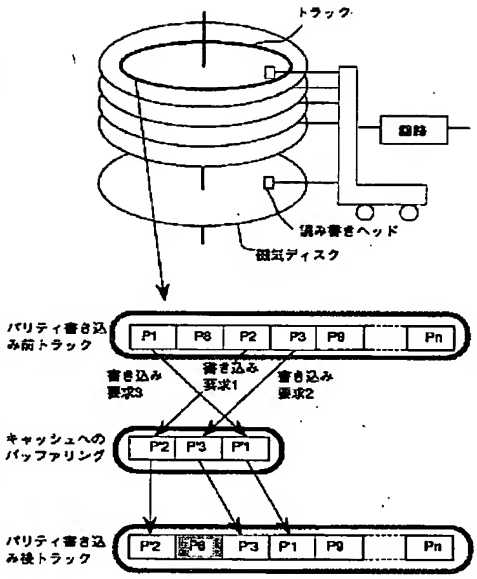
【図６】

図6



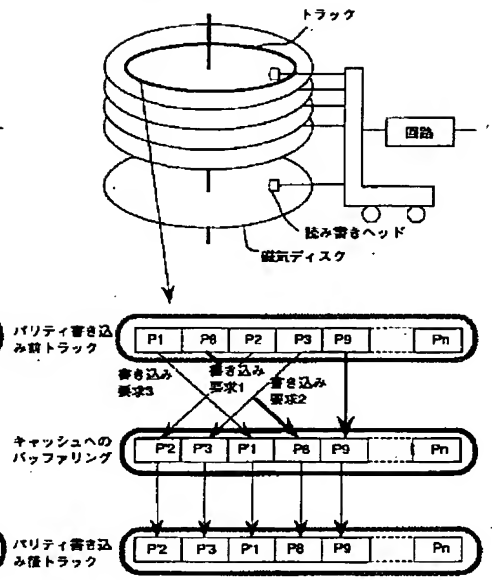
【図７】

図7



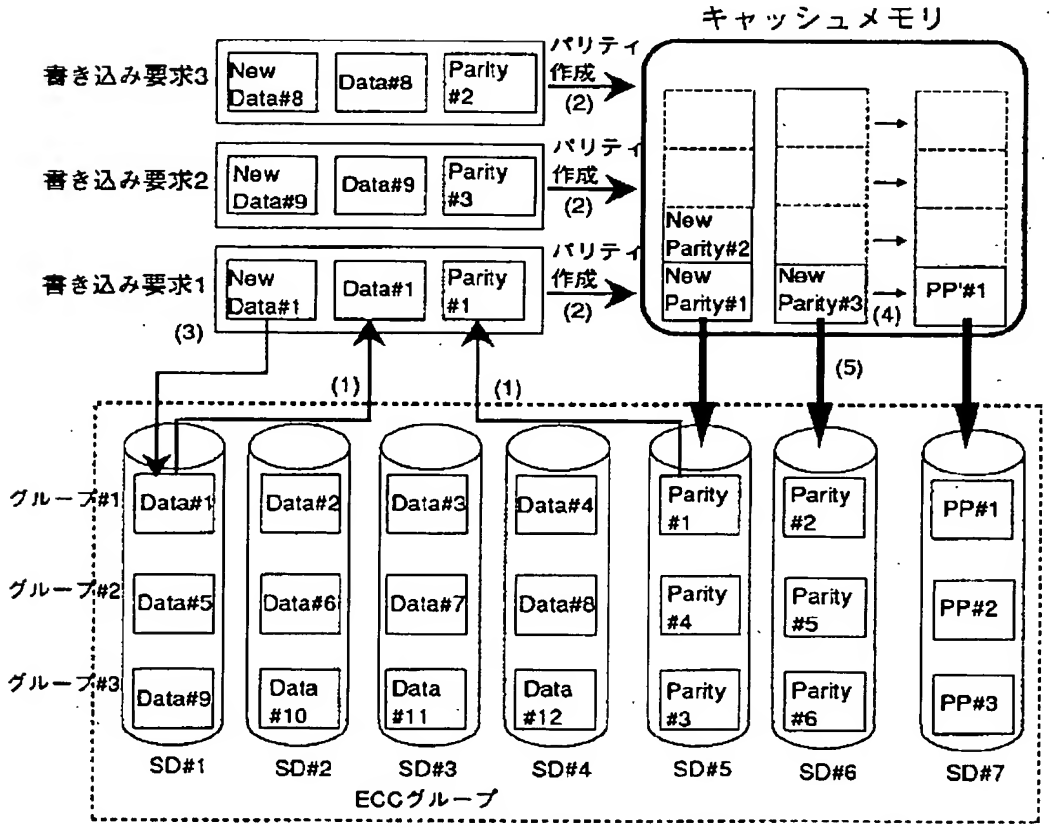
【図８】

図8



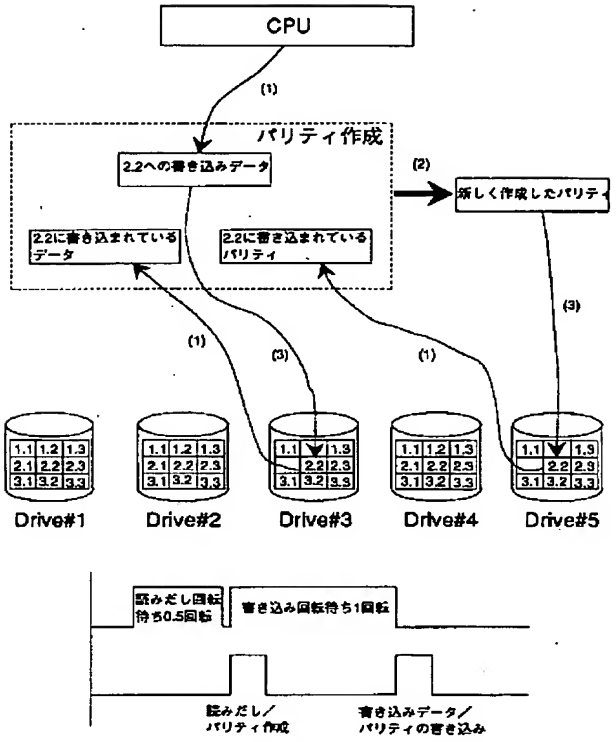
【図９】

図9



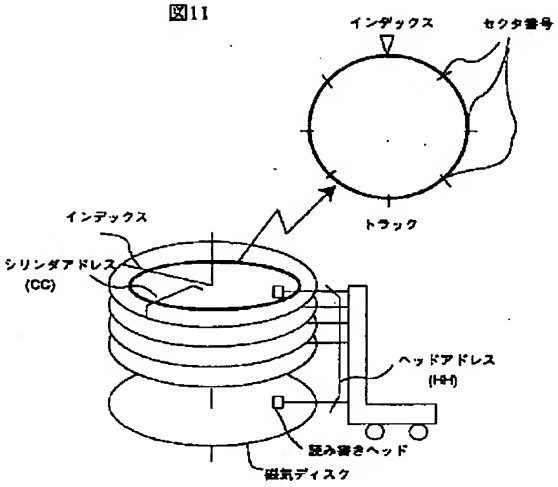
【図１０】

図10



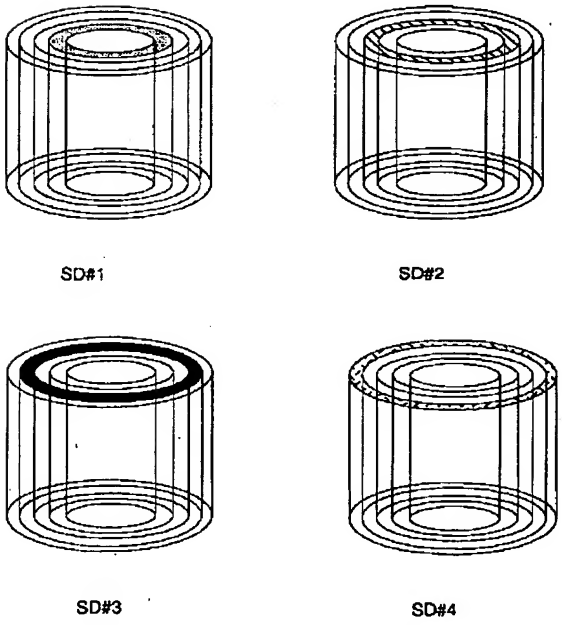
【図１１】

図11



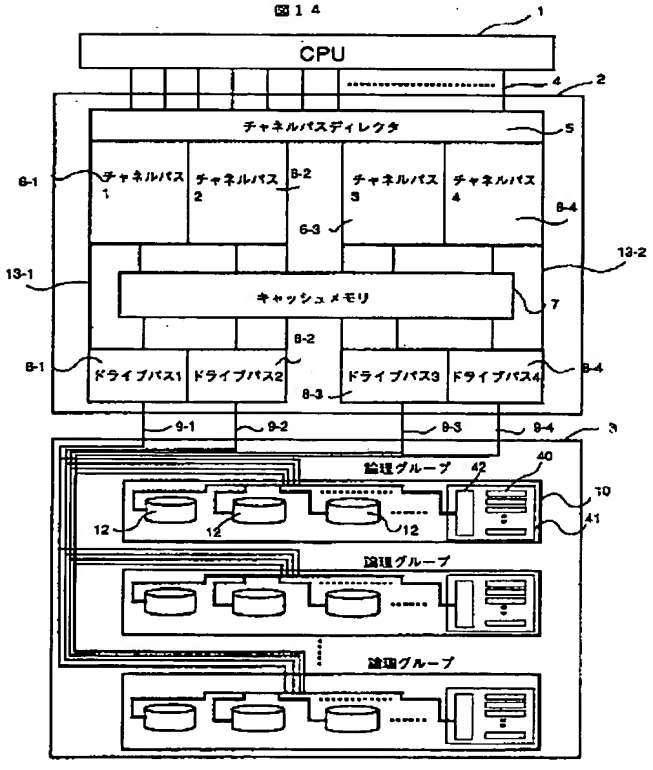
【図１３】

図13



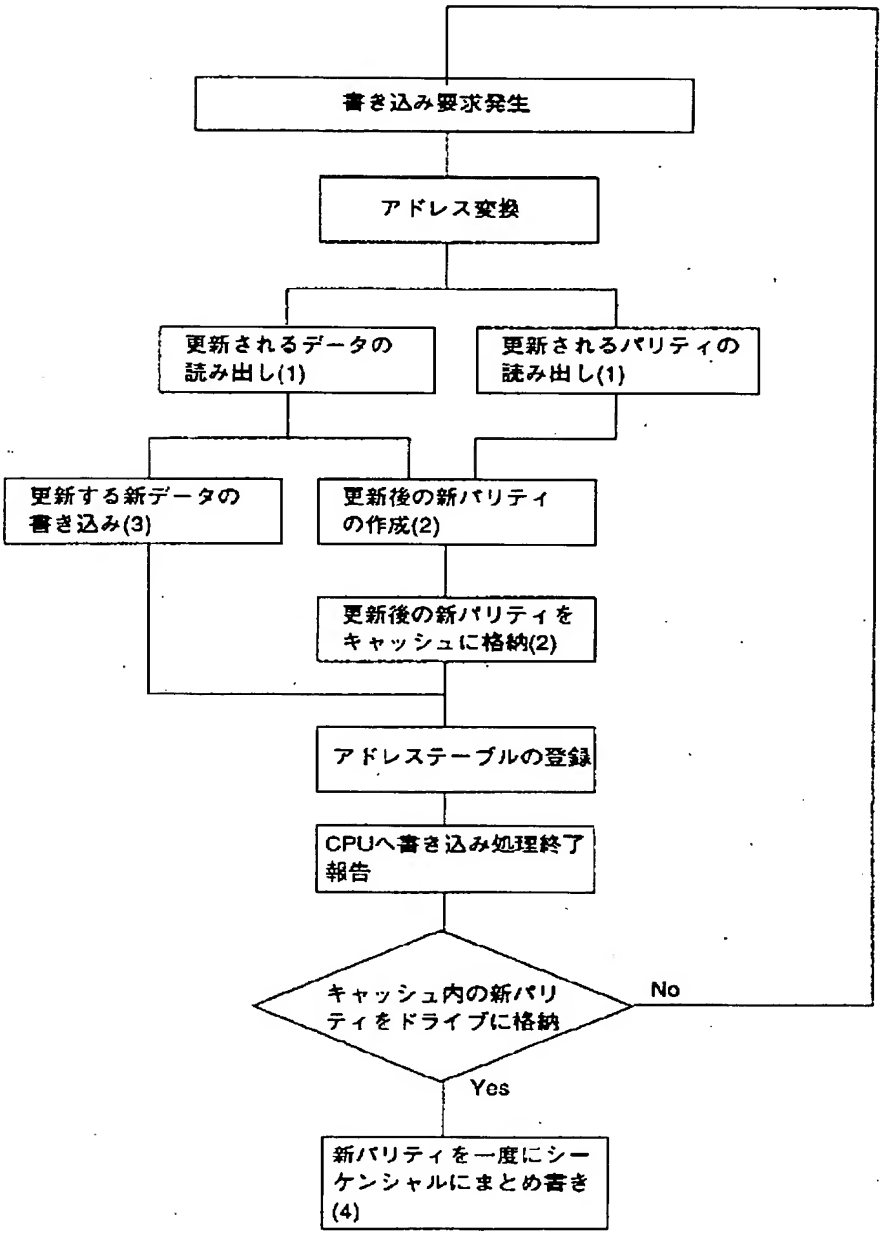
【図１４】

図１４



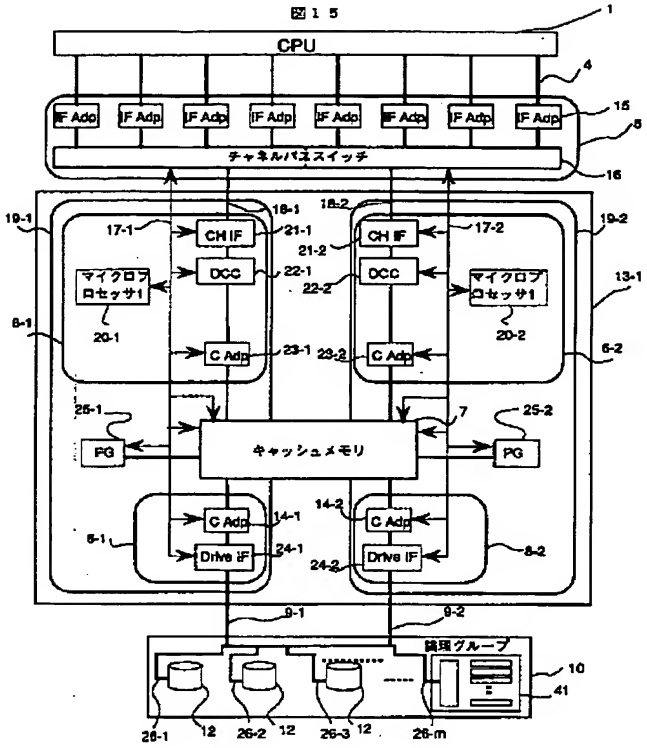
【図１２】

図12


書き込み要求発生
アドレス変換
更新されるデータの読み出し(1)
更新されるパリティの読み出し(1)
更新する新データの書き込み(3)
更新後の新パリティの作成(2)
更新後の新パリティをキャッシュに格納(2)
アドレステーブルの登録
CPUへ書き込み処理終了報告
キャッシュ内の新パリティをドライブに格納
No
Yes
新パリティを一度にシーケンシャルにまとめ書き(4)

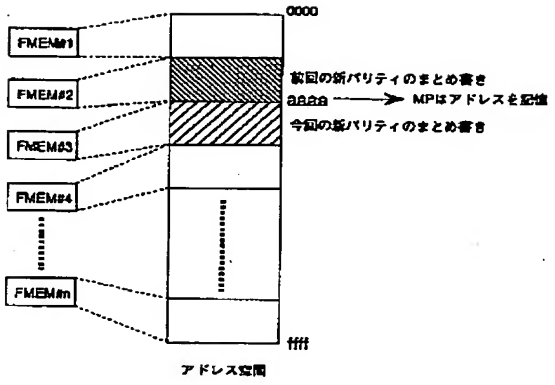
【図１５】

図１５



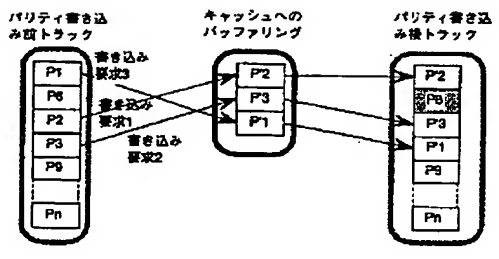
【図１８】

図１８



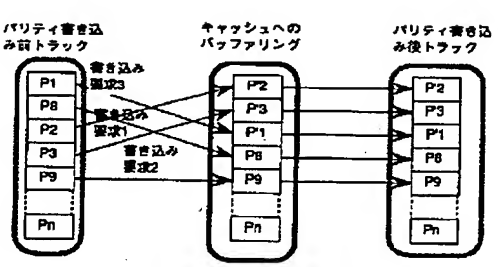
【図１９】

図１９



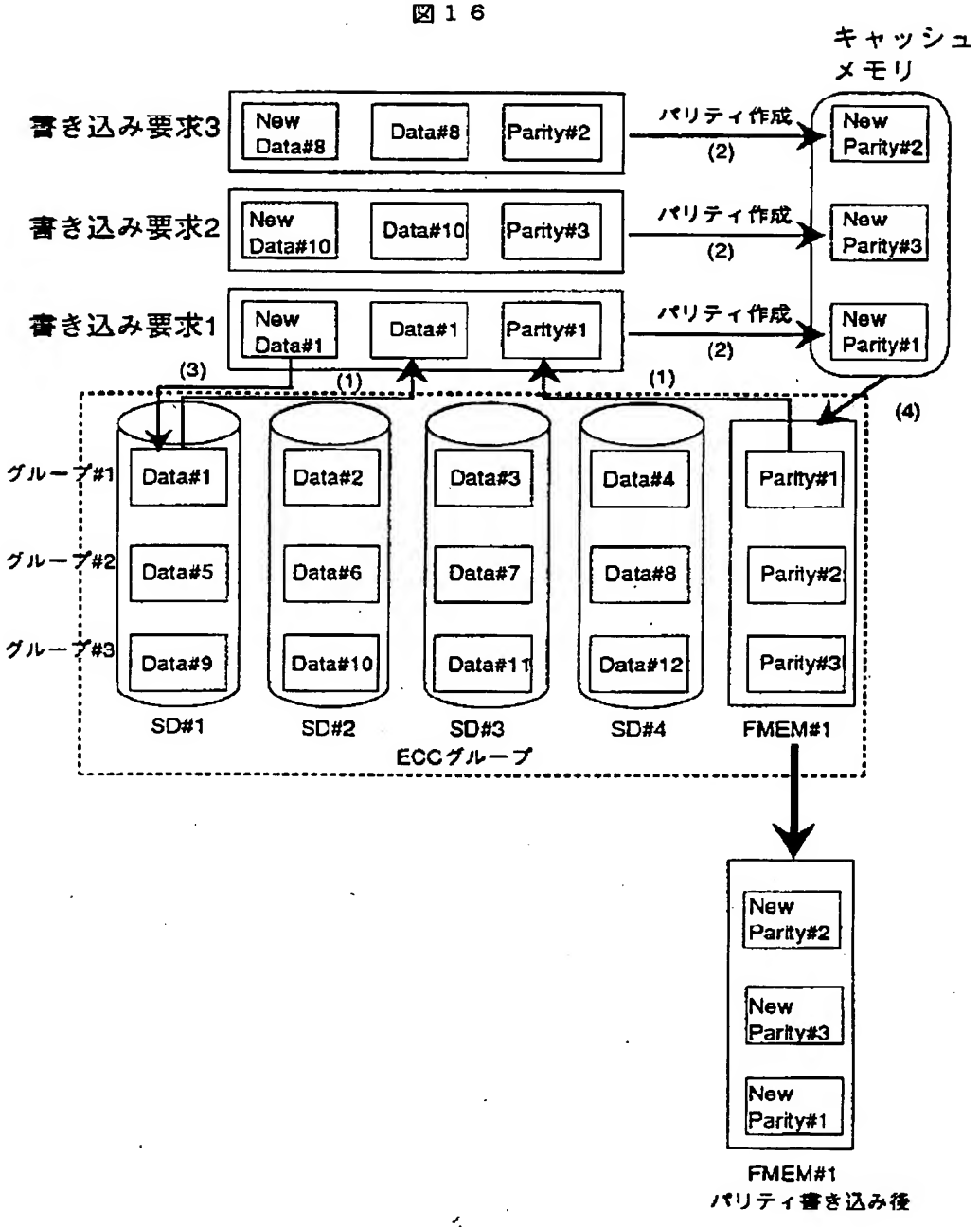
【図２０】

図２０



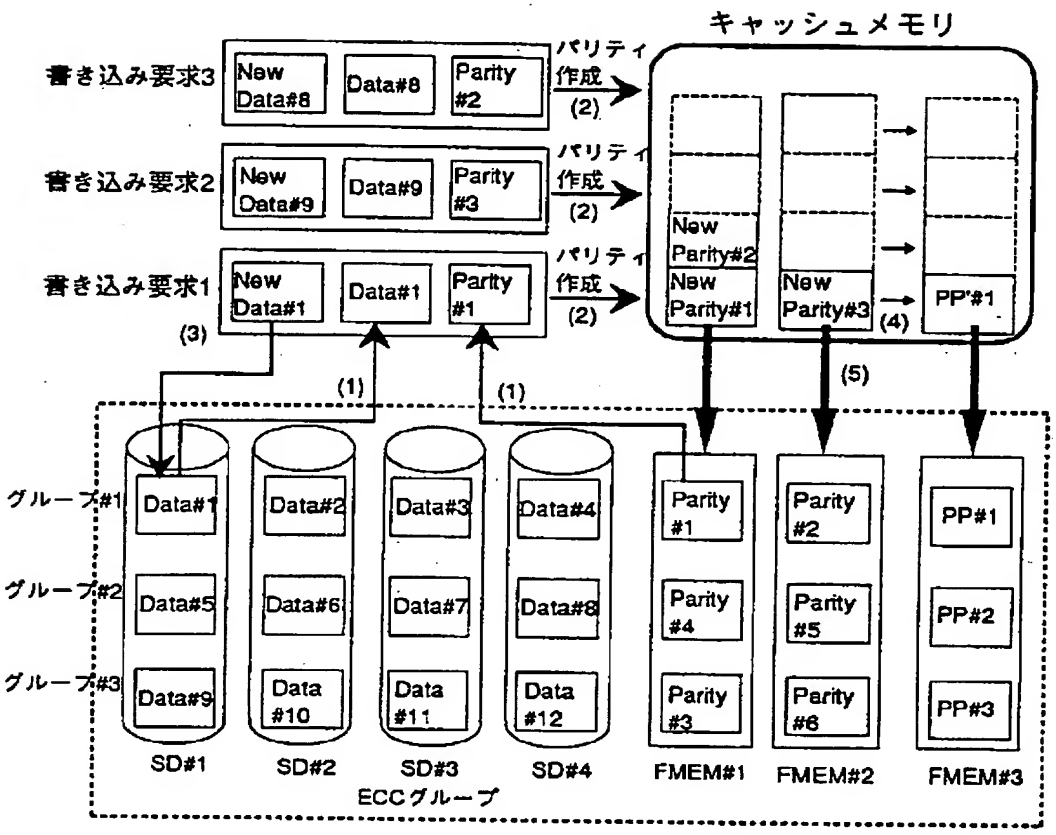
【図１６】

図１６


キャッシュ
メモリ
書き込み要求3
New Data#8
Data#8
Parity#2
パリティ作成
(2)
New Parity#2
書き込み要求2
New Data#10
Data#10
Parity#3
パリティ作成
(2)
New Parity#3
書き込み要求1
New Data#1
Data#1
Parity#1
パリティ作成
(2)
New Parity#1
(3)
(1)
(1)
(4)
グループ#1
グループ#2
グループ#3
Data#1
Data#2
Data#3
Data#4
Parity#1
Data#5
Data#6
Data#7
Data#8
Parity#2
Data#9
Data#10
Data#11
Data#12
Parity#3
SD#1
SD#2
SD#3
SD#4
FMEM#1
ECCグループ
New Parity#2
New Parity#3
New Parity#1
FMEM#1
パリティ書き込み後

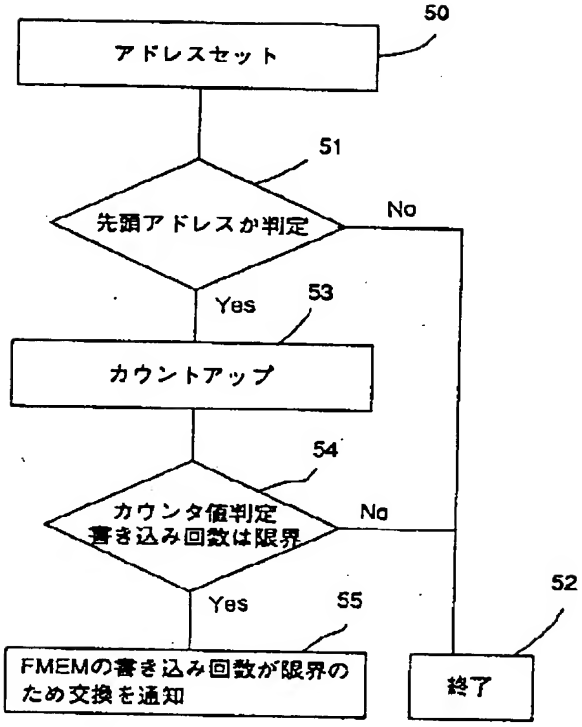
【図２１】

図２１


キャッシュメモリ
書き込み要求3
New Data#8
Data#8
Parity #2
パリティ作成
(2)
書き込み要求2
New Data#9
Data#9
Parity #3
パリティ作成
(2)
書き込み要求1
New Data#1
Data#1
Parity #1
パリティ作成
(2)
(3)
(1)
(1)
New Parity#2
New Parity#1
New Parity#3
PP'#1
(4)
(5)
グループ#1
グループ#2
グループ#3
Data#1
Data#2
Data#3
Data#4
Data#5
Data#6
Data#7
Data#8
Data#9
Data #10
Data #11
Data #12
Parity #1
Parity #4
Parity #3
Parity #2
Parity #5
Parity #6
PP#1
PP#2
PP#3
SD#1
SD#2
SD#3
SD#4
FMEM#1
FMEM#2
FMEM#3
ECCグループ

【図２２】

図２２


50
アドレスセット
51
先頭アドレスか判定
No
Yes
53
カウントアップ
54
カウンタ値判定
書き込み回数は限界
No
Yes
55
FMEMの書き込み回数が限界のため交換を通知
52
終了